

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2003-69394

(P2003-69394A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl.

H 0 3 K 5/08

識別記号

F I

H 0 3 K 5/08

キーワード(参考)

E 5 J 0 3 9

審査請求 未請求 請求項の数15 O L (全 27 頁)

(21) 出願番号 特願2002-156595 (P2002-156595)

(22) 出願日 平成14年5月30日 (2002.5.30)

(31) 優先権主張番号 09/870436

(32) 優先日 平成13年5月30日 (2001.5.30)

(33) 優先権主張国 米国 (US)

(71) 出願人 500587067

アギア システムズ インコーポレーテ
ド

アメリカ合衆国, 18109 ペンシルヴァニ
ア, アレントウン, ユニオン プールヴァ
ード 555

(72) 発明者 ザデウス ジョン ガバラ

アメリカ合衆国 07974 ニュージャージー
イ, マレイ ヒル, パーリントン ロード
62

(74) 代理人 100064447

弁理士 岡部 正夫 (外10名)

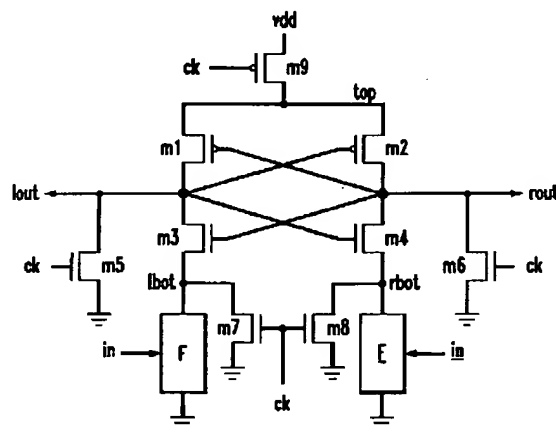
最終頁に続く

(54) 【発明の名称】 非相補入力構造を有する比較回路

(57) 【要約】 (修正有)

【課題】 従来の相補入力構造を有する比較回路での消費電力、トランジスタ数、スルーアット遅延などの技術上問題点を改善すべく、非相補入力構造を有する比較回路を提供する。

【解決手段】 非相補比較器は、メモリセル、差動アンブまたは評価機能を行なうのに適した他のタイプの回路等の評価エレメントと、評価エレメントの第1および第2のノードのうちの対応するノードに各々接続された少なくとも第1および第2の入力枝とを含む。しかしながら、評価後、出力はフルデジタル値を達成するが電力消費不具合を受けない。トランジスタは交差結合型ランダムアクセスメモリセルを形成し、評価の間2つの枝の内容を比較する。



【特許請求の範囲】

【請求項1】 評価エレメントと、

該評価エレメントの第1および第2のノードのうちの対応する1つに各々接続された少なくとも第1および第2の入力枝とを含み、

第1および第2の入力枝は、お互いに対して非相補構造を有すると共に、それぞれ第1および第2の入力信号を受け取るのに適合されており、非相補構造は各々、それと関連して、入力信号のうちの対応する1つの入力信号の関数である値を有する可変パラメータを有し、評価エレメントは、第1および第2の入力信号の比較を行なうのに適合している比較回路。

【請求項2】 請求項1記載の比較回路において、第1および第2の入力信号は、非相補入力信号を含む比較回路。

【請求項3】 請求項1記載の比較回路において、少なくとも第1および第2の入力枝は、トランジスタの重み付けされたアレイを含み、重み付けされたアレイにおける各トランジスタは、その枝に印加される入察信号の特定部分を受け取るのに適合されている比較回路。

【請求項4】 請求項1記載の比較回路において、第1および第2の入力枝は各々、トランジスタの重み付けされたアレイを含み、第1および第2の入力は各々、複数のビットを有するデジタルワードを含み、トランジスタの重み付けされたアレイの各トランジスタは、デジタルワードのうちの所定のデジタルワードの対応するビットを入力として受け取るのに適合されている比較回路。

【請求項5】 請求項1記載の比較回路において、比較回路はパイプライン化構造で実行され、第1および第2の入力枝は各々、それぞれ第1および第2の入力信号として多ビットデジタルワードを受け取るのに適合されており、パイプライン化構造は複数の段を有し、各段は、多ビットデジタルワードの指定された部分の比較を含む比較回路。

【請求項6】 請求項1記載の比較回路において、第1および第2の入力枝は各々、トランジスタの重み付けされたアレイを含み、第1および第2の入力信号は各々、複数のビットを有するデジタルワードを含み、重み付けされたアレイのうちの所定の重み付けされたアレイの各トランジスタは、デジタルワードのうちの所定のデジタルワードの対応するビットを入力として受け取るのに適合されており、重み付けされたアレイの各々における各トランジスタは、デジタルワードの比較が多数決機能を実行するように、実質的に等しい幅を有する比較回路。

【請求項7】 請求項1記載の比較回路において、第1および第2の入力枝は各々、トランジスタの重み付けされたアレイを含み、第1および第2の入力信号は各々、1つ以上のバランスされたアナログ入力信号ペアを含み、重み付けされたアレイのうちの特定の重み付けされたアレイにおける並列トランジスタの入力は、ペアのう

ちの所定のペアの各信号を受け取るのに適合されており、各々の重み付けされたアレイの各トランジスタは、比較回路がアナログコモンモード比較を提供するように構成されるように実質的に等しい幅を有する比較回路。

【請求項8】 請求項1記載の比較回路において、第1および第2の入力枝は各々、トランジスタの重み付けされたアレイを含み、第1および第2の入力信号は各々、1つ以上のアナログ入力信号を含み、重み付けされたアレイのうちの特定の重み付けされたアレイにおける並列トランジスタの入力は、アナログ入力信号のうちの対応するアナログ入力信号を受け取るのに適合されており、各々の重み付けされたアレイの各トランジスタは、比較回路がアナログコモンモード比較を提供するように構成されるように実質的に等しい幅を有する比較回路。

【請求項9】 請求項1記載の比較回路において、比較回路は、第2の比較回路と接続された第1の比較回路であり、第2の比較回路は、評価エレメントと、評価エレメントの第1のノードおよび第2のノードのうちの対応するノードに各々接続された少なくとも第1および第2の入力枝を有し、第1の比較回路の第1の入力枝は、第1の境界を表わす入力信号を受け取るのに適合されており、第2の比較回路の第2の入力枝は、第2の境界を表わす入力信号を受け取るのに適合されており、第1の比較回路の第2の入力枝および第2の比較回路の第1の入力枝は、他の入力信号を受け取るのに適合されており、第1および第2の比較回路は、ひとまとめにして、他の入力信号が第1および第2の境界内にあるか否かを表わす出力を発生するのに適合されている比較回路。

【請求項10】 請求項1記載の比較回路において、比較回路は、第1の入力枝に隣接する評価エレメントの第1のノードに接続された第3の入力枝を有し、該第3の入力枝は、それと関連して、対応する入力信号の関数である値を有する可変パラメータを有し、評価エレメントは、それぞれ第1および第3の入力枝に印加される少なくとも第1および第3の入力の加算結果と、第2の入力枝に印加される第2の入力との比較を行なうのに適合されている比較回路。

【請求項11】 請求項1記載の比較回路において、比較回路は、評価枝の第1のノードに接続された第1の枝を含む第1の複数の入力枝と、評価枝の第2のノードに接続された第2の入力枝を含む第2の複数の入力枝とを有し、各入力枝は、それと関連して、対応する入力信号の関数である値を有する可変パラメータを有し、評価エレメントは、第1の複数の入力枝の各入力枝に印加される第1の複数の入力の加算結果と、第2の複数の入力枝の各入力枝に印加される第2の複数の入力の加算結果との比較を行なうのに適合されている比較回路。

【請求項12】 請求項1記載の比較回路において、評価エレメントの第1のノードと関連する第1の組の入力枝と、評価エレメントの第2のノードと関連する第2の

10

20

30

40

50

組の入力枝は、アナログ加算機能を実行するように、少なくとも指定された時間の間、実質的に一定電流を受け取るのに適合されている比較回路。

【請求項13】 請求項1記載の比較回路において、さらに、加算-比較-選択(ACS)機能を実行するように、その出力に伝えるために、入力の特定期間を選択するのに適合されているマルチプレクサを含む比較回路。

【請求項14】 請求項1記載の比較回路において、比較回路は第1の比較回路であり、さらに、結合メモリセル比較器を実行するように、それと並列に接続された少なくとも第2の比較回路を含む比較回路。

【請求項15】 ACS回路のうちの1つのACS回路と、入力の最終勝利ベアの加算を行なうのに適合された関連アダーとを有する最終層を含む複数の層を備えた層状構成で実行される複数の加算-比較-選択(ACS)回路を含み、層状構成は、最終勝利ベアが確認されるまで、1つの層からの勝利ベアが、後続の層において互いに比較されるように構成されている比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に電子回路に関し、特に、2つ以上の入力信号の比較を行なうセンスアンプ、差動アンプおよび他の比較回路に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】超L S I (V L S I) 集積回路および他のタイプの電子回路は、一般に、2つ以上の信号の比較を行なう回路を含んでいる。後者の回路は、ここでは比較回路または単に比較器と呼ばれており、アナログ領域またはデジタル領域で実施される。

【0003】アナログ領域において、2つの基本的な比較器は、アナログセンスアンプと差動アンプである。また、差動アンプは、演算アンプまたは単にOPアンプとも呼ばれている。これらのアナログ比較器は、典型的に、お互いの相補信号である2つの信号の差を決定する。ここで、2つの信号のうちの一方の信号の相補信号は、コモンモード信号のまわりに映し出された他の信号として定義される。

【0004】図1は、アナログ領域の相補信号の概念を示す。図に示されるように、コモンモード入力電圧 V_{cm} は、2つの信号 V_A および V_B の算術平均であり、 $(V_A + V_B) / 2$ と定義される。信号 V_A および V_B は、コモンモード電圧より量 Δ だけ上または下に等しく置き換えられる。これらの2つの信号は、お互いのアナログ相補信号である。 V_A および V_B の間隔は、ディファレンシャルモード入力電圧として知られており、 $V_D = (V_A - V_B) = 2\Delta$ で与えられる。したがって、2つの信号は、コモンモード成分とディファレンシャルモード成分として表わすことができる。 Δ の大きさが小さい場合、これらのアナログ比較

回路は、増幅を行ない、したがって、非常に小さい電圧差を検知するのに使用することができる。

【0005】図2Aおよび2Bは、従来の差動アンプの例を示す。ここで説明されるこれらおよび他の回路用の電源は、たとえば V_{dd} およびグラウンドであるが、他の電源を使用できるのはもちろんである。たとえば、グラウンド以外の V_{ss} 電源値を使用することができる。

【0006】差動アンプは、ある信号を他の信号に関して抽出する能力を有するアナログアンプである。他の信号は、コモンモード値またはその相補信号とすることができる。図2Aを参照すると、差動アンプは、2つの平衡入力 V_A および V_B が入力される。信号 V_{nch} および V_{pch} の発生は、従来の法則に従う。図2Bの差動アンプにおいては、2つの入力信号は、信号 V_A およびコモンモード電圧 V_{cm} である。これらの差動アンプは両方とも、2つの入力信号の差を比較し、1つ以上の出力を発生する。より詳細には、図2Aの差動アンプは、出力信号 out とその相補信号 \overline{out} を発生し、図2Bの差動アンプは、相補出力信号 \overline{out} を発生する。

【0007】図3Aおよび3Bは、従来のセンスアンプの例である。各センスアンプは、図示のように配置されたトランジスタ $m1, m2, m3, m4, m5$ および $m6$ を含む。例示を簡単にするため、トランジスタの呼称 $m1, m2, m3$ 等は、ここでは、異なる回路の異なるトランジスタを示すために再使用されることが注目されるべきである。したがって、これらの呼称は、全ての図面において共通の構成要素を示すように解釈されるべきではない。

【0008】図3Aおよび3Bの回路におけるトランジスタ $m1$ および $m2$ は、センスアンプの評価動作中正帰還を提供する交差接続部を形成する。 $m3$ および $m4$ のゲートに印加される入力クロック信号 ck がハイになると、回路は初期化され、 $m3$ は、出力ノードの電位を等しくする。図3Aにおいて、入力信号 V_A およびその相補信号 V_B は各々、この例ではそれぞれトランジスタ $m5$ および $m6$ に相当するセンスアンプの評価“枝部”の1つに印加される。また、評価枝部は、ここでは入力枝とも呼ばれる。図3Bでは、入力信号 V_A は、コモンモード電圧 V_{cm} と比較される。

【0009】図3Aおよび図3Bの回路は共に、クロック信号 ck がハイになると評価される。小さなディファレンシャルモード信号に対しては、評価枝部、すなわち左枝部 ($m5$) および右枝部 ($m6$) の両方が、イネーブルにされることに注目されたい。これは、出力ノードがフルデジタル値に達するのを防ぎ、さらなる電力消費を生じさせる。

【0010】デジタル領域では、センスアンプは、互いの相補信号である2つのデジタルブール関数の比較を行なうのに使用することができる。平凡なケースは、ブー

ル関数とその相補信号が比較される場合である。たとえば、入力信号 V_B が入力信号 V_B のブール相補信号であると仮定されたい。 $V_A = 0$ ならば、 $V_B = 1$ であり、 $V_B = 0$ ならば、 $V_A = 1$ であることを注目されたい。したがって、図3Aおよび図3Bで与えられるセンスアンプ回路は、この場合にはデジタル信号を抽出するのに使用することができる。図3Bでは、 V_{cm} の値は、0と1の間、すなわち $V_{dd}/2$ になる。

【0011】図4Aおよび4Bは、ブール関数が1つ以上の値を有する場合の比較を行なうのに適するセンスアンプを示す。この場合には、相補関数 F は、ブール関数 F に周知のデ＝モーガンの定理を適用することにより形成される。たとえば、 $F = AB$ ならば、デ＝モーガンの定理により $F = \overline{A+B}$ となる。図4Aのセンスアンプは、これらの2つのブール関数を実行する。 $F = AB$ のための左入力枝回路構造は、 $m5$ および $m6$ の直列接続に相当する。これに対応する結果は、回路の反対側に見出される。同様に、 $F = \overline{A+B}$ のための右入力枝回路構造は、 $m7$ および $m8$ の並列接続に相当する。この回路に印加される入力は相補的なものでなければならないことに注目されたい。たとえば、 $A = 1$ および $B = 0$ ならば、 $\overline{A} = 0$ および $\overline{B} = 1$ になる。より詳細には、この例では、入力信号 A および B の4つの徹底的な組み合わせの全てにおいて、回路の一方の側に印加される入力は、他方の側に印加される入力のバイナリ相補信号である。したがって、回路の1つだけの枝が、特定の時間にインーブルにされる。

【0012】図4Aおよび4Bの回路におけるトランジスタ $m1$ 、 $m2$ 、 $m3$ および $m4$ は、図3Aおよび図3Bの回路と同様に構成される。上述のように、図4および4Bの各回路の左入力枝は、各々が入力 A および B のうちの対応するものと関連しているトランジスタ $m5$ および $m6$ からなり、各回路の右入力枝は、トランジスタ $m7$ および $m8$ からなる。デ＝モーガンの定理の結果として、右枝の並列なトランジスタは左枝の直列接続に変形する。また、回路の一方の側から他方の側への入力の反転に注目されたい。このように、回路の各々の側の実際構造または接続は、デ＝モーガン定理により他方の側のそれに関連している。その結果、回路を動作させるために、各々の側に印加される入力は、前に示されたように相補的でなければならない。トランジスタ接続の構造は、入力間のこの関係を必要とする。

【0013】図4Aおよび4Bの回路は、図3Aおよび3Bの対応する回路と実質的に同じように動作する。しかしながら、図4の回路のトランジスタ $m5 \sim m8$ の入力はデジタルであり、デ＝モーガン定理に従うので、2つの評価枝のうちの1つ、すなわち、 $m5$ および $m6$ からなる左枝または $m7$ および $m8$ からなる右枝は、十分にインーブルにされるが、他方は十分にデセーブルにされる。これにより、出力ノードはフルデジタル値を達成

し、評価後の回路の電力消費を減らすことができる。

【0014】コモンモード技術は、より複雑なブール関数に適用することができるが、一般に、関数がより複雑になりかつ入力数が増加するにつれて、予測するのがより難しくなる。図4Bに関して、センスアンプの右枝のデバイスのゲートは、それらに印加されたコモンモード電圧 V_{cm} を持つ。トランジスタ $m7$ および $m8$ の幅に対するトランジスタ $m5$ および $m6$ の幅は、この回路を役立たずにさせる可能性がある。しかしながら、右枝のトランジスタの幅を左枝のそれより小さい適当なサイズにすることによって、この回路は適切に動作させることができる。これに関して図には示されていないが、2つの並列トランジスタ $m7$ および $m8$ を実行するために、単一デバイスを使用することができる。また、この単一デバイスに印加される電圧は、 $V_{dd}/2$ の代わりに V_{dd} とすることができるが、幅は更に減らす必要がある。この電圧値は、いつも一定であり、もちろんあらゆる評価に対して同じである。

【0015】デジタルおよびアナログ領域の相補信号の意味の違いを注目されたい。デジタル領域では、2組の入力は 2^n で与えられる不連続な入力数の可能性を持っており、ここで、 n は所定の枝の入力数である。たとえば、図4Aの回路の左枝の入力は、00、01、10または11とすることができる。図3Aに関して説明されたアナログケースでは、2つの入力は、コモンモード電圧あたりに Δ の連続する値を持つことができる。 $\Delta = V_{dd}/2$ の特別なケースでは、アナログセンスアンプは、デジタルセンスアンプとして動作する。

【0016】上記に説明した従来のアナログ比較器では、多くて2つのアナログ入力だけが、一度に比較される。両方とも参照によりここに含まれる、発明者ティエ・ジェイ・ガバラ (T. J. Gabara) の名前で2001年2月20日に発行され、“多入力比較器”と題する米国特許第6,191,623号と、発明者ティエ・ジェイ・ガバラ (T. J. Gabara) とエス・エイ・ムジタバ (S. A. Mujtaba) の名前で1998年9月29日に発行され、“多入力比較器”と題する米国特許出願第09/162,852号には、2つ以上の入力を有する比較回路が開示されている。

【0017】図5A、5Bおよび5Cは、相補入力構造を有するゲート構造例を示す。図5Aを参照すると、それぞれ、トランジスタ $m7$ 、 $m8$ と $m5$ 、 $m6$ のペアからなる上部および下部トランジスタアレイは、 n チャンネルデバイスを用いて構成されている。この相補トランジスタアレイ枝は、一方の枝が並列トランジスタを有する場合、他方の枝が、直列に接続されたその対応するトランジスタを有するという点で、反対の接続構造を有する。相補入力構造の使用のために、図5Aの上部枝の入力は、反転される必要がある。図5Bは、上部枝への入力を発生するインバータで構成された図5Aの回路を示

す。インバータおよびnチャンネルデバイスは、pチャンネルデバイスで置き換えることができ、その結果は図5Cの回路になる。図5A、5Bおよび5Cの各回路において、出力Fは、図示のようにインバータの出力で発生する。図5Cの回路は、CMOS ANDゲートの例であり、前に説明された相補トランジスタ構造に支持する。したがって、図4Aに関して説明されたようにセンスアンプの左および右枝と、図5Cに示される関連したスタティックゲート構造の上部および下部枝のそれぞれの間には、単純な1対1の対応がある。

【0018】図6A、6Bおよび6Cは、相補入力を有するゲート構造のさらなる例を示す。図6Aに示される回路は、トランジスタm5、m6、m7およびm8とインバータからなるCMOS ORゲートであり、入力AおよびBは各々、2つのゲートの静電容量を駆動する。図6Bは、AおよびB入力で駆動される2つの上部直列pチャンネルが、グラウンドに接続されたゲートを有する単一のpチャンネルトランジスタm7で置き換えられた場合に生じる回路を示す。この回路は、図4Bの回路に多少類似している。前述したように、図4Bのようにコモンモード電圧を用いる代わりに、このケースで印加される電圧はVddとすることができる。しかしながら、図6Bのm7は、pチャンネルトランジスタなので、印加電圧は、極性を反対に、すなわちVssにしなければならない。この電圧はいつも一定なので、図4Bおよび図6Bは、同じふるまいを示す。

【0019】トランジスタを適当なサイズにすることにより、図6Bの回路は、デジタル動作を行なうように構成することができる。このゲート構造は、疑似NMOSゲートとして知られており、増大したスループット速度に関する利点を提供する。しかしながら、この回路は、AまたはBのどちらかがハイの場合に、Vddとグラウンド間に抵抗性パスを形成するという点で、過度の電力消費を示すことがある。このゲート構造では、いつもイネーブルにされている単一の上部デバイス（図6Bのm7）は、相補構造（図6Aのm7およびm8）に取って代わる。上部デバイスは、入力AまたはBのどちらにも駆動されないが、そのグラウンド電位入力は、その電圧がいつも一定であるので、コモンモード電圧と類似している。

【0020】図6Cは、電力消費が軽減されているが図6Bの回路と実質的に同じ速度の利点を有する、修正された回路を示す。図6Cの回路では、クロック信号ckが、交互に各枝をイネーブルにするのに使用されている。すなわち、ckがローになると、上部枝が、ノードfou tをプリチャージするm7によりイネーブルにされるが、下部枝は、直列トランジスタm1によりディセーブルにされる。ckがハイになると、上部枝がディセーブルにされ、下部枝は、AまたはBの値がノードfou tをローに引張るかまたは変更のない状態のままにす

るかのどちらかにより暫定的にイネーブルにされる。したがって、この回路では、両方の枝が同時にイネーブルにされる状態を持つことは決してできない。両方の枝に印加されるck信号は、この状態を保証する。回路が評価されると、ckはハイになり、この時間間隔の間、m7に印加される電圧は一定つまりVddになる。図6Cの回路は、ドミノCMOSとして知られており、m7枝に印加される電圧が評価の間一定のままなので、図6Bのコモンモード回路と同等である。

10 【0021】図6Bおよび6Cの回路におけるコモンモード信号は、評価の間本質的に一定であることに注目されたい。最終的なブール結果は、結局入力ブール変数の値に依存し、コモンモード枝の状態に依存しない。換言すれば、コモンモードは、回路の平衡点を決定するが、最終的な出力は、入力変数の関数となる。

【0022】図7A、7Bおよび7Cは、参照によりここに含まれる、発明者ダブリュー・ティー・メイウェザー3世(W. T. Mayweather, III)の名前で1988年8月30日に発行され、“マルチビットデジタル スレショールド比較器”と題する米国特許第4, 767, 949号に開示されているタイプのデジタル比較回路を示す。図7Aの回路は、図示のように配置されたトランジスタm1~m10およびインバータを含む。図7Aに示されるような回路は、デモーガン定理が、回路の上部および下部枝間で従われるとは思えないという点で、非相補入力構造を有すると思われる。しかしながら、図7Bおよび7Cに示されるような図7Aの分解は、図7Aの入力構造が事実上相補的であることを示す。

30 【0023】図7Bは、下部枝nチャンネルのみをまね、デモーガン定理を使用して相補的な上部枝回路を形成している。すなわち、m1およびm2の並列接続に対するm3の直列接続は、m9およびm10の直列接続と並列になっているm4として変形されている。最後に、m7およびm8の直列接続からなる並列枝は、m5およびm6の並列接続からなる直列経路に変形されている。

【0024】次いで、図7Bのトランジスタm5およびm6は、各トランジスタペアm5、m5aとm6、m6aとして二重にされ、図7Bにおいて“線”と示された線は、図7Cに示されるように切断されている。この線は、各経路が信号XおよびYの影響を含むので切断することができる。トランジスタm5a、m6a、m9およびm10からなる経路は、冗長なトランジスタm5aおよびm6aを除去することによりさらに簡単にすることができる。この単純化により、図7Aに示されるような回路が生じ、それにより、この回路が事実上相補的な入力構造を有するのが確かめられる。

40 【0025】前記のことから明らかになるように、従来の比較回路は、相補入力の処理のために構成された相補

入力構造を有する。そこで、従来の回路に対して減少した電力消費、トランジスタ数およびスループット遅延に関して技術上改善する必要がある。

【0026】

【課題を解決するための手段】本発明は、2つ以上の入力信号を含む比較および他の関連動作を行なうのに使用される非相補入力構造を有する比較回路を提供する。これらの比較回路は、ここでは非相補比較器と呼ばれ、所定の非相補比較器で比較されるかさもなければ処理される入力信号は、非相補入力信号でも良いが、非相補入力信号にする必要はない。

【0027】本発明の一態様によれば、非相補比較器は、メモリセル、たとえばランダムアクセスメモリ(RAM)セル、差動アンプまたは評価機能を行なうのに適した他のタイプの回路等の評価エレメントと、評価エレメントの第1および第2のノードのうちの対応するノードに各々接続された少なくとも第1および第2の入力枝とを含む。第1および第2の入力枝は、お互いに対して非相補構造を有し、非相補構造は各々、それと関連して、対応する入力信号の関数となる値を有する可変パラメータ、たとえば可変抵抗、可変電流または可変電圧を有する。評価エレメントは、それぞれ第1および第2の入力枝に印加される少なくとも第1および第2の入力の比較を行なう。入力枝は、各々、トランジスタの重み付けされたアレイとして実行することができ、重み付けされたアレイの各トランジスタは、その枝に印加される入力信号の特定のビットまたは他の部分に対応する所定の枝と関連づけられている。

【0028】本発明による非相補比較器は、多数字比較器として使用され、デジタルワードの相対重みを決定したり、他の比較回路、たとえば多数決回路、アナログコモンモード比較器、以上/以下回路、アレイ加算および比較回路、シリアル加算-バイナリサーチ(SA-BS)回路、アナログ加算器、加算-比較-選択(ACS)回路、結合メモリセル比較器およびマスク機能付き比較器等を実行したりすることができる。

【0029】好適には、本発明の非相補比較器は、広い範囲の様々な比較器ベースの回路における電力消費、トランジスタ数およびスループット遅延のかなりの減少を提供する。

【0030】

【発明の実施の形態】本発明は、例示的な非相補比較器を用いてここで説明される。ここで使用される用語“非相補比較器”は、非相補入力構造を含むように、さもなければ2つ以上の非相補入力信号を比較することができるように構成された回路を指す。用語“非相補入力構造”は、お互いのブール相補部として実行されない、たとえば、上述のデモーガン定理によるお互いの相補部として実行されない2つ以上の入力構造を指す。

【0031】しかしながら、本発明は、ここで特に説明

されるもの以外の回路構造で使用するのにも適していることが理解されるべきである。たとえば、本発明は、センスアンプおよび差動アンプに基づく比較回路に適用できるばかりでなく、他のタイプの回路配置に基づく比較回路にも適用できる。さらに、上記の定義から明らかのように、本発明は、2入力、3入力または3以上の入力を有する比較回路を実行するのに使用することができる。例示的な比較回路では、電源 V_{ss} はグラウンドとして示されているが、周知の通り、特定のゼロでない電圧レベルとすることができる。また、当業者は、所定の回路におけるトランジスタデバイスの極性を一般に反対にすることができる、たとえば、pチャンネルをnチャンネルで置き換えたり、その逆にしたりすることができる。さらに、説明される回路は、たとえば、バイポーラ-接合トランジスタ(BJT)、GaAsトランジスタ等の他のトランジスタ技術や、他の技術を、それらの組み合わせと同様に使用して実行することもできる。

【0032】本発明の一態様にしたがって、基本的な非相補比較器が提供される。以下に詳細に説明されるように、一実施例における基本的な非相補比較器構造は、デジタルワードの相対重みを決定する多数字比較器ばかりでなく、たとえば多数決回路、アナログコモンモード比較器、以上/以下回路、アレイ加算および比較回路、シリアル加算-バイナリサーチ(SA-BS)回路、アナログ加算器、加算-比較-選択(ACS)回路、結合メモリセル比較器およびマスク機能付き比較器等の他の比較回路も形成するために使用することができる。好適には、本発明の非相補比較器は、広い範囲の様々な比較器ベースの回路における電力消費、トランジスタ数およびスループット遅延のかなりの減少を提供することができる。

【0033】分離

上述のように、従来のアナログおよびデジタルセンスアンプにおいて重要な論点は、2つの枝が同時にインエーブルにされるか否かである。また、評価枝からの比較出力の分離を提供することが重要である。

【0034】図8は、本発明によるアナログセンスアンプを示し、両方とも同時にインエーブルにされる左入力枝Fおよび右入力枝Eを有する。しかしながら、評価後、出力はフルデジタル値を達成するが、図3Aおよび3Bに関して前に説明したような電力消費不具合を受けない。トランジスタ m_1 、 m_2 、 m_3 および m_4 は、交差結合型ランダムアクセスメモリ(RAM)セルを形成し、評価の間2つの枝FおよびEの内容を比較する。また、トランジスタ m_3 および m_4 は、各枝FおよびEからの出力ノードoutおよびroutを分離して、上述の分離を提供するのに役立つ。図8の回路は、さらに、図示のように配置されたトランジスタ m_5 乃至 m_9 を含む。

11

【0035】図9は、図8のアナログセンスアンプのタイミング図である。トランジスタm5乃至m8は、クロック信号ckがハイの時に、RAMセルを初期化するのに使用される。ノードlout, lbot, routおよびrbotは、この時間間隔の間Vssまたはグラウンド電位に設定される。評価の間、ckがローになると、loutまたはroutのどちらかが、入力信号inおよびinの相対値に依存してハイになる。両入力信号が十分にデジタルである、すなわちVddまたはグラウンドの値を有し、その結果、回路は、デジタルセンス

10 アンプとして動作していると仮定されたい。クロック期間の初期化および評価間隔への区分けのため、出力信号は、評価間隔の間のみ有効になることに注目されたい。このセンスアンプ回路を標準的なロジック回路にインターフェースするために、出力信号loutおよびroutは、全クロックサイクルにわたって一定の信号を発生するRSフリップフロップに印加される。また、他のタイプのフリップフロップまたは他の回路を用いて、全クロックサイクルの間のデータを獲得することができる。

【0036】一般に、比較回路において特に重要な2つの異なるタイプの分離がある。第1のタイプの分離は、評価枝からの比較器出力の分離であり、これは図8の比較回路に関して前に説明された。ノードloutおよびroutにおける容量性負荷を注意深くバランスさせることができない場合は、第2のタイプの分離を組み込むことができる。この第2のタイプの分離は、比較器出力からの比較器ランダムアクセスメモリ(RAM)セルまたは他の評価エレメントの分離である。比較回路において両方のタイプの分離があれば、電力消費の減少と改善された信号完全性を含むかなりの恩恵を提供することが

30 ことができる。しかしながら、このタイプの分離は、一定の環境においては、たとえば、各出力において実質的に等しい容量性負荷を保証することができる場合には必要とされないことがあることが注目されるべきである。

【0037】図10Aは、本発明の技術にしたがって上述した第2のタイプの分離を提供するように追加の回路で修正された図8の回路を示す。トランジスタm10およびm11は、出力loutおよびroutからノードlposおよびrposの評価を分離する。これは、RAMセルの評価が、負荷loutおよびroutのあり得る非対称と無関係になるため重要である。図10Aの回路に印加される2つのクロック信号ck¹ およびck² がある。クロック信号ck¹ は、図8のクロック信号ckと同様にm5, m6, m7およびm8に印加される。クロック信号ck² は、クロック信号ck¹

の遅延された変形であり、インバーストリングをタッピングすることによりまたは技術上知られている他の適切な手段により発生させることができる。また、図10Aの回路は、好適には、ノードlposおよびrposをグラウンドに初期化するためにck¹ で作動する

12

2つの追加のトランジスタ(図示しない)を含む。

【0038】図10Bは、図10Aの回路の実施例を示す。図10Bのトランジスタに隣接した数字は、トランジスタの幅をマイクロメートル(μm)で示す。図10Bの回路において、ノードlposおよびrposに接続された2つの追加のトランジスタは、ck¹ がハイの時に、これらのノードをVss(この例ではグラウンド)にプリチャージするのに使用される。他のあり得る構成の1つは、これらの2つの初期化用トランジスタを、ノードlposおよびrpos間に接続されて初期化中これらのノードの電圧を等しくするように構成された単一の初期化用トランジスタで置き換える。

【0039】また、ノードlbotおよびrbotに接続された2つの追加のトランジスタがある。これらの2つの追加のトランジスタは、各々0.4 μm の幅を有し、そのゲートへのVddの印加により永久にオンになっている。これらの2つのトランジスタは、回路の両サイドに等しい結果を与え、lbotおよびrbotに接続されたゲート構造が直列のトランジスタからなる場合は、電荷分割状態の説明を助ける。電荷分割は、直列経路のいくつか十分にイネーブルにされていない場合に起こるが、イネーブルにされた直列経路がチャージされる際に寄生容量により評価エレメントに短い電流バーストをいまだ供給する。例として、入力枝は、3つの直列トランジスタを含み、上部の2つがイネーブルにされていると仮定されたい。評価中、これらの2つのトランジスタは、電荷を寄生容量に伝え、経路の間違ったイネーブル化をトリガする可能性がある。なぜなら、第3の下部トランジスタがイネーブルにされていないからである。したがって、前に説明されたように2つのイネーブルにされたトランジスタは、回路の両サイドに電流を加えるのを助け、3つのトランジスタ経路のこの“間違ったイネーブル化”の影響を隠す。

【0040】図10Cは、評価セル出力にロジック回路を組み込むように修正された図10Bの回路を示す。また、図10Cの回路におけるトランジスタまたは他のロジックゲートに隣接した数字は、対応するトランジスタの幅をマイクロメートル(μm)で示す。この回路において、左側出力loutは、ノードlposに接続された入力有するインバータ50-1の出力で発生する。右側出力routは、ノードrposに接続された入力有するインバータ50-2の出力で発生する。loutおよびrout出力は、それぞれ、NORゲート52およびNANDゲート54に印加される。また、これらのゲートは、cs1およびcs2で示される条件信号入力を受け、図面に示されるように、出力outaおよびoutbを発生する。これらの出力outaおよびoutbは、他のもう1つの比較回路に供給されるかさもなければ後続の処理のために抽出される。インバータ50-1および50-2は、同じサイズを有し、したがっ

て、ノード $lpos$ および $rpos$ にバランスされた容量性負荷を提供する。図10Bにおける ck^2 でクロックされるpチャンネルパストランジスタは、図10Cの回路ではなくされ、それにより、クロック遅延がなくなる。

【0041】図10A、10Bおよび10Cで示される特定の配置は単なる例示であることが強調されるべきである。当業者は、多くの他の配置が本発明の技術を用いて可能であることが分かる。

【0042】また、当業者には分かるように、多くの他の初期化技術を使用することができるとも理解されるべきである。ここで説明される残りの回路において、初期化回路は、典型的に、例示を簡単かつ明快にするために図示していない。

【0043】初期化

図10Dは、ノード $lpos$ および $rpos$ 間の容量不平衡または不整合に取り組むように特に構成された図10Cの回路の修正された変形を示す。この容量不平衡は、たとえば、回路がシリコンで実施される場合に、物理的レイアウト中にうっかりして生じることがある。図10Dの回路は、図示のように追加のトランジスタ $m6$ 、 $m7$ および $m8$ の包含により、このタイプのレイアウト関連不整合に、より強くなるように設計され得る。図10Dの回路は、さらに、前に説明したようなRAMセルトランジスタ $m1 \sim m4$ と、図示のように配置されたトランジスタ $m9$ 、 $m10$ 、 $m11$ および $m12$ と、インバータ $60-1$ および $60-2$ と、2入力NANDゲート 62 、 64 とを含む。インバータ $60-1$ および $60-2$ の出力は、それぞれNANDゲート 62 、 64 の第1の入力に接続される。さらに、各NANDゲートのうちの一方のNANDゲートの出力は、図示のように他方のNANDゲートの第2の入力に帰還接続される。

【0044】追加のトランジスタ $m6 \sim m8$ は、各々クロック信号 ck^2 でクロックされる。 ck^2 は ck^1 のわずかに遅延された変形なので、 ck^1 が Vs に減少した場合、 ck^2 は、まだ Vdd に近い電位にある。したがって、RAMセルが、トランジスタ $m5$ によりイネーブル状態になった場合、トランジスタ $m6 \sim m8$ は、いまだイネーブルにされている。したがって、トランジスタ $m6 \sim m8$ は、ノード $lpos$ および $rpos$ の等しくされた電位を維持しようとし、それにより、ノード $lpos$ および $rpos$ 間の容量不平衡の影響が実質的にキャンセルされる。さらに、RAMセルは、 $m5$ によってこの期間の間イネーブルにされているので、RAMセルの再生能力が増大される。また、この期間の間、評価枝の可変パラメータは、トランジスタ $m6$ および $m7$ によってノード $lpos$ および $rpos$ で検出される。トランジスタ $m3$ および $m4$ は、ノード $lpos$ および $rpos$ の電位がこれらのデバイスのスレシールド電圧以下とされるので、まだイネーブルにさ

れない。しかしながら、 $m6$ および $m7$ はイネーブルにされるので、 $lpot$ および $rpot$ における枝のパラメータは、RAMセルがイネーブルにされている間、ノード $lpos$ および $rpos$ に転送される。

【0045】したがって、図10Dの追加のトランジスタ $m6 \sim m8$ は、以下の機能、すなわち、(1) 評価枝野か編のパラメータと関連する情報をRAMセルに転送すること、および(2) RAMセルのノード $lpos$ および $rpos$ における容量不平衡を等しくすることに役立つ。

【0046】また、図10Dの回路は、例として示されており、望ましい結果を得るために、他の構成を用いることができる。

【0047】非相補機能評価

図11は、本発明の一実施例による基本的な非相補比較器を示す。この実施例の基本的な比較器は、デジタルセンスアンプの形態になっているが、当業者には分かるように、他の形態に構成することができる。この回路は、トランジスタ $m1$ 、 $m2$ 、 $m3$ および $m4$ から形成された交差結合型RAMセルを含む。図8および10Aの $m5$ 乃至 $m8$ のような初期化トランジスタを含むことができるが、この図には示されていない。クロック信号 ck がトランジスタ $m9$ に印加され、図8および10Aの回路のようにRAMセルへの Vdd の印加を制御する。

【0048】入力 in_1 および in_2 は、それぞれ、 R_1 および R_2 として示される評価枝に印加される。前に述べたように、評価枝は、ここでは入力枝とも呼ばれる。本発明にしたがって、これらの枝は、お互いに対して非相補的な入力構造を有し、したがって、従来のデジタル回路構造のようにふるまわない。入力枝は、RAMセルのノード、たとえばこの実施例の回路ではノード out および $outn$ に接続される。この実施例の回路では、評価枝が接続されるノードは、セルの両サイドにあるが、この特定のタイプの構成は、本発明の必要条件ではない。

【0049】図11の基本的な比較回路の評価枝は、評価の間可変抵抗と見なされる。より詳細には、図に示されるように、左枝 R_1 と関連する可変抵抗は、入力 in_1 の関数であり、左枝 R_2 と関連する可変抵抗は、入力 in_2 の関数である。図11の比較回路の出力 out および $outn$ は、以下の通り可変抵抗の関数である。 $(R_1 < R_2)$ ならば、回路は $out=1$ および $outn=0$ に評価する。 $(R_1 > R_2)$ ならば、回路は $out=0$ および $outn=1$ に評価する。この実施例では、評価は、クロック信号 ck がローになる時に起こるが、これはもちろん、一例であり本発明の必要条件ではない。

【0050】可変抵抗 R_1 および R_2 による図11の比較回路は、たとえ in_1 が in_2 の相補でないとしても、入力信号 in_1 を入力信号 in_2 と比較

することができる。換言すれば、 i_{n1} のバイナリ重みが i_{n2} のバイナリ重みより大きい場合は、 $R_1 < R_2$ および $out = 1$ となり、それにより、 $i_{n1} > i_{n2}$ であることが示される。前に述べたように、従来の比較器は、一般に、このように非相補入力を処理することができない。可変抵抗は、以下に説明されるように、重み付けされたトランジスタアレイを用いて実行される。

【0051】また、図11に示されるような仕方でも構成された非相補比較器は、ここでは“シーソー”ロジックとも呼ばれる。

【0052】本発明の図11の回路および他の実施例は、評価エレメントとしてRAMセルを用いているが、本発明は、他のタイプのメモリセルばかりでなく、他のタイプの評価エレメントと共に使用することができる。したがって、RAMセルの使用は、単なる例であり、どのようにも本発明を制限するものと解釈されるべきではない。ここで使用される用語“評価エレメント”は、メモリセル、交差結合型差動アンプ、他のタイプの差動アンプばかりでなく、この実施例に関してここで説明されるタイプの評価を行なうことができる他の回路を含むつもりである。

【0053】本発明による所定の評価エレメントは、それ自体比較を行なうことができる必要はないことが注目されるべきである。たとえば、サンプリング回路を使用して、可変パラメータをサンプリングすることにより、入力枝と関連する可変パラメータを評価することができる。次いで、その結果生じるサンプルは、さらに他の局部または遠隔回路で処理され、サンプルから関連情報を抽出することができる。このサンプリング回路ベースの本発明の実施は、この用語がここで使用されるとおり比較回路と見なされる。

【0054】本発明の図11の回路および他の実施例で使用される可変抵抗は、単なる例として示される。本発明の他の実施例は、他のタイプの可変パラメータ、たとえば可変電流、可変電圧等を使用することができる。たとえば、BJTを用いて実施される本発明の実施例では、可変パラメータは、入力枝の各々と関連する可変電流とすることができる。

【0055】図11に示される例示的な回路構成は、一定の電力消費態様を有する。図11の回路は、スイッチ（トランジスタ m_9 ）、RAMセル（トランジスタ $m_1 \sim m_4$ ）および評価枝を含むことに注目されたい。この順番は、各評価枝の下部ノードが、一定の電位、このケースでは V_{ss} またはグラウンドにあるので重要であり、したがって、セルの動作中電位の変化がない。したがって、これらのノードと関連する交流（AC）電力消費はゼロである。第二に、評価枝と関連する各パラメータ値は、各トランジスタ m_3 および m_4 を介してノード out_n および out に転送される。評価枝の上部ノ

ードにおける静電容量は大きくなることがあるので、これらのノードにおける電位はあまり大きくならない。したがって、これは、電力の第2の減少に導く。

【0056】図12は、図11の回路のタイミング図を示し、クロック信号 ck と、入力 i_{n1} および i_{n2} と、出力 out および out_n の波形を含む。入力信号 i_{n1} および i_{n2} は、タイミング図に示されるように ck の立ち下がりエッジに関して設定時間必要条件を満足する必要がある。この実施例の入力および出力は、アナログ評価中を除いて、完全にデジタルである。 ck が、RAMセルを評価するためにローになると、入力デジタル値は、セルの内部でアナログ要素に変換される。これは、図において、デジタル→アナログ（DTA）変換として示されている。アナログ要素は、図においてアナログ→デジタル（ATD）変換で示されるように、評価され、比較され、デジタル出力値に戻し変換される。DTAおよびATD動作は共に、 i_{n1} および i_{n2} が各々9ビットデジタルワードになる実行の際には、9ビットワード比較のため 1 nsec 以下を費やすことが示されている。評価後の最終出力 out および out_n は、完全にデジタルになる。

【0057】図11の回路は、図10Aおよび10Bに関して前に示されたようにクロック ck^1 および ck^2 で制御される追加のトランジスタを使用するように構成されることが注目されるべきである。

【0058】図13は、トランジスタ $m_1 \sim m_4$ および m_9 が、“RAMセル”と名付けられたエレメントと置き換えられた図11の簡略図である。このRAMセルエレメントは、後続の図においてさらに簡単にするために使用される。前述したように、RAMセルは、本発明に関して使用することができるタイプの評価エレメントの単なる一例であり、他のタイプのメモリセル、差動アンプ、サンプリング回路または評価機能を行なうことができる他の回路を使用することができる。この簡略化された回路は、図10A～10Dのデュアルクロック ck^1 および ck^2 を用いるように構成されていると思われる。このデュアルクロック化は、図においてRAMセルに印加されるものとして示されるクロック入力 $CK_1 \sim 2$ で示される。

【0059】デジタルセンスアンプに関して示されているが、図11の比較器は、アナログおよびデジタル領域の両方で使用することができる。より詳細には、多ビットデジタルワードを比較する際に使用するのに良く適しているが、この基本的な比較器は、他の比較回路、たとえば、多数決回路、アナログコモンモード比較器、以上/以下回路、アレイ加算および比較回路、シリアル加算・バイナリサーチ（SA-BS）回路、アナログ加算器、加算・比較・選択（ACS）回路、結合メモリセル比較器およびマスク機能付き比較器を形成するために使用することができる。これらの他の回路の例は、以下に

詳細に説明される。

【0060】重み付けされたアレイ

図14は、図11の評価枝の各々が、トランジスタの重み付けされたアレイとして実行される方法を示す。この図では、入力 $i n_1$ は、 n ビットデジタルワード $A = a_0, a_1, a_2, \dots, a_{n-1}$ であり、入力 $i n_2$ は、 n ビットデジタルワード $B = b_0, b_1, b_2, \dots, b_{n-1}$ である。交差結合型RAMセルは図示されていない。所定の評価枝内で、所定の多ビット入力ワードのビットは各々、対応するトランジスタのゲートに印加される。トランジスタの幅は、対応するビットの有効性にしたがったサイズにされる。すなわち、入力ワードAの最上位ビット(MSB) a_{n-1} に対応するトランジスタは、 2^{n-1} 幅と関連し、入力ワードAの最下位ビット(LSB) a_0 に対応するトランジスタは、 2^0 幅と関連している。入力ワードBと関連する重み付けされたアレイのトランジスタは、同じ方法でサイズが決められる。

【0061】図14では、デジタル重み付けを伴うNタイプトランジスタで形成されているものとして示されているが、他の実施例のアレイは、様々な他のトランジスタ形態、タイプおよびサイズを使用して形成することができる。より詳細には、アレイは、デジタル的に、リニアにまたはこの2つの組み合わせとして重み付けすることができ、トランジスタタイプは、N、Pまたはこの両方の組み合わせにすることができ、そして、バイポーラトランジスタまたは他のタイプのトランジスタを、MOSトランジスタの代わりに使用することができる。

【0062】また、重み付けは、所定のアレイにおける最低の重み付けされたデバイスとして所定の幅を有する単一トランジスタを使用し、次いで、より大きな重み付けされたデバイスを実行するために所定幅を有するトランジスタの並列接続を使用することにより達成することができることが注目されるべきである。たとえば、図14の左アレイにおける 2^0 デバイスは、所定幅の単一トランジスタとして実行することができ、 2^1 デバイスは、所定幅の2個のトランジスタの並列接続として実行され、 2^2 デバイスは、所定幅の4個のトランジスタの並列接続として実行され、以下同様である。同様の重み付け技術は、ここに説明される他の重み付けされたアレイと共に実行することができる。

【0063】図14の重み付けされたアレイ構造例は、2つの n ビットデジタル入力ワードAおよびBの強度を比較することができる。たとえば、 $n=8$ であり、入力 $A=10101010$ 、 $B=10101011$ であると仮定されたい。 $B>A$ なので、右アレイ抵抗 R_2 は、左アレイ抵抗 R_1 より小さくなり、その結果、図13んかいろは、 $out=0$ および $out_n=1$ となるように評価する。

【0064】両入力AおよびBが等しい場合は、重み付

けされたアレイは、タイを示し、回路の出力は、評価された後“1”または“0”値のどちらかを有する。また、これは、“準安定”状態としても知られている。いくつかのアプリケーションでは、この不定は受け入れ可能である。他のアプリケーションでは、等しいことの認識が重要であり、回路のふるまいは、評価後首尾一貫したままで一貫した出力を保証する。この論点は、図15に関して説明されるように、アレイの各々にオフセット能力を組み込むことにより、または、イクスクルーシブオア(XOR)ゲートのストリングを使用して、等しい状態が生じたことを示すことにより、または、他の適切な手段により取り組むことができる。

【0065】図15は、オフセット能力を含む n ビット入力Aと関連する左アレイを示す。信号 $offset$ は、重み付けされたアレイにおける追加のトランジスタのゲートに印加される。この追加のトランジスタは、 2^0 以下のデジタル重み付けに対応する、すなわちこのケースでは 2^{-1} のデジタル重み付けに対応する幅を有する。したがって、この実施例における追加のトランジスタの幅は、アレイ中の次の最小トランジスタ、すなわち 2^0 重み付けと関連するトランジスタの幅の $1/2$ となる。

【0066】いくつかのアプリケーションでは、オフセットトランジスタは、 2^0 重み付けと関連するトランジスタと同じまたはそれより小さい幅を持つことができるが、 2^0 トランジスタより長いゲート長もまたもしくははかけがえとして持つことができ、その結果生じるふるまいは、望ましいオフセット機能を提供する。換言すれば、ゲート長のようなパラメータの適切な選択により、オフセットトランジスタのふるまいは、たとえその有効幅が 2^0 トランジスタと実質的に同じであっても、幅が 2^{-1} だけ重み付けされたデバイスのふるまいに近くなるように行なわれる。

【0067】重み付けされたアレイのうちの1つまたは両方のための信号 $offset$ は、一定の電位に設定することができるか、または、前の動作で発生させることができる。それが一定の電位の場合、たとえば、左アレイオフセット $= V_{dd}$ 、右アレイオフセット $= 0$ の場合は、タイにおいて、左アレイは、常により低い抵抗を有する。また、オフセット信号値の他の組み合わせを用いて、AおよびB入力が等しい場合に特定のアレイが“勝つ”のを保証することができる。AおよびBの両方がゼロの場合でさえ、オフセットは、比較回路の出力が不定にならないことを保証する。

【0068】XORゲートのストリングを使用することの他の上述の解決法は、パリティチェックの従来形態にしたがう。これは、全ての比較可能なビットが等しく、これが当該ケースであることを示す1つのデジタル値を与える場合を捜す。これは、一般に、面積と電力消費に関してよりコストのかかる動作である。

【0069】図14に示されるような重み付けされたアレイにおいては、最低のデジタル重みは、アレイの感度を決定する。しかしながら、 n が大きい場合、たとえば32より大きいまたは32に等しい場合、最低のデジタル重みは、ノイズから区別がつかないほど小さくなる。したがって、所定のアレイをパイプライン化される仕方で多くのより少ないアレイに区分けすることが望ましい。

【0070】図16は、32ビット比較器用のこのようなパイプライン化されたアレイの一例を示す。32ビット比較器は、パイプライン化される仕方で配置された4つの8ビット比較器段を含む。図には、最初の2つの段のみが示されている。この例では、所定の8ビット比較器の左および右アレイは各々、デジタル重み付け 2^7 乃至 2^0 と関連する8個のトランジスタと、 2^{-1} の重みと関連する追加のオフセットトランジスタを含む。パイプラインの第1段に対して、8つの入力ビット $a_0, a_1, a_2, \dots, a_7$ が、左アレイの8つのトランジスタに印加され、8つの入力ビット b_1, b_2, \dots, b_7 が、右アレイの8つのトランジスタに印加される。また、第1段の左オフセットは“1”に設定され、この段の右オフセットは“0”に設定される。タイの場合には、左アレイが勝つ。この段が、第1段のRAMセルで評価されると、その結果は、次段のオフセットトランジスタの次ペアに転送される。

【0071】第1段のRAMセルの出力は、次段に印加される前にフリップされることに注目されたい。例として、 $a_{0-7} = b_{0-7}$ と仮定されたい。上記に説明したオフセット配置のため、左アレイ出力 out_{0-7} はローになる。第1段RAMセルの出力 mon はハイになり、前段からトランジスタ $mn1$ へ情報を送る。これは、入力 a_{0-7} が b_{0-7} 入力より大きいことを示している。この時、第1段RAMセルの出力 mo_{off} はローになり、第2段の右アレイの対応するトランジスタに印加される。

【0072】パイプラインの次段において、8つの入力ビット a_8, a_9, \dots, a_{15} は、左アレイの8つのトランジスタに印加され、8つの入力ビット b_8, b_9, \dots, b_{15} は、右アレイの8つのトランジスタに印加され、そして、パイプラインの残りの段（図示しない）についても以下同様である。

【0073】所定のパイプライン段からのオフセット信号は、次のパイプライン段に進み、どのアレイが所定の段内で“勝っている”かに関する指示を供給する。このように、32ビット比較器は、各段が512から1の感度を有する、図16に示されるように構成された8ビット比較の4段パイプラインで実行することができる。したがって、この感度は、全段にわたって比較されるビットの総数よりむしろ、各段のビット数で決定される。また、このパイプライン化方法は、回路の面積必要条件を

減少させる。より詳細には、パイプライン化は、重み付けされたトランジスタを再評価し、その結果、 32^nd 入力ビットは、 $2^{32} = 4 \times 10^9$ の代わりに $2^8 = 256$ の重み付け係数を有するデバイスに印加される。しかしながら、4段パイプラインの結果として、これは、この例における最終的な出力を発生するのにクロック信号の4つの遅延を費やす。

【0074】パイプライン化された構造

図16に関して一般的に説明されたタイプのパイプライン化は、図17に関して説明されるNツリー対Nツリー構造と、図18に関して説明されるNツリー対Pツリー構造を含む、多くの異なるパイプライン化された構造を用いて実行することができる。用語“Nツリー”および“Pツリー”は、対応する比較段の評価枝の重み付けされたアレイが、それぞれ n チャンネルおよび p チャンネルトランジスタを用いて形成されていることを示す。

【0075】図17は、図16に示されるものと同様なNツリー対Nツリーパイプライン化構造の一例を示す。図において、パイプライン化されたフローは下部から上部に至ることに注目されたい。クロック信号 ck^1, ck^2 および ck^3 は、図示のようにインバータチェーン100の第2のインバータ毎にタッピングすることによって発生する。また、遅延ロックループや多位相発振器等の他の技術を使用して、必要なクロック信号を発生させることもできる。クロック信号 ck^1, ck^2 および ck^3 は、図に示されるように比較器のトランジスタに印加される。2つの段が図17に示されており、各段は、重み付けされたアレイを有する右および左評価枝を含む。各評価枝は、“Nツリー”として示されており、これらの枝には、図示のように入力のペア $a_1, a_2, b_1, b_2, c_1, c_2$ および d_1, d_2 が入力される。出力は、 $l_{out1}, r_{out1}, l_{out2}$ および r_{out2} で示される。クロスオーバーは、望ましい最終動作に依存して必要とされてもされなくても良い。

【0076】ここで用いられている用語“クロック遅延”は、所定のクロック信号の遅延を指し、たとえば、図に示されるように、 ck^1 の立ち下がりエッジの midpoint から ck^2 の立ち下がりエッジの midpoint まで測定された図17におけるクロック信号 ck^1 および ck^2 間の遅延を指す。

【0077】図18は、Nツリー対Pツリーパイプライン化構造の一例を示す。パイプライン化されたフローは下部から上部に至り、インバータが、第1段の各出力 l_{out1} および r_{out1} と、第2段のPツリー評価枝の対応する入力の間に挿入されていることに注目されたい。このインバータは、第1段の出力の極性が、第2段の入力のために予め調整されていることを必要とする。これは、Nツリー対Pツリー構造のため生じる。適切なクロック発生回路が図に示されており、これは、直列イ

21

ンバータの第1のツリーの各々の後にタッピングされたインバータチェーン110からなる。図18のバイプライン化構造において、第1段の評価枝には、図示のように、入力ペア a_1 、 a_2 および b_1 、 b_2 が入力される。第1段の出力 l_{out1} および r_{out1} は反転されて、それぞれ、第2段のPツリー構造へ入力 c_1 および d_1 として印加される。また、これらのPツリー構造には、図示のように入力 c_2 および d_2 も入力される。第2段は、出力 l_{out2} および r_{out2} を発生する。

【0078】前に述べたように、図16のバイプライン化比較器は、図17もしくは図18の回路構造、または当業者に明らかな他の適切なバイプライン化構造を用いて実行することができる。

【0079】多数決回路

図19は、図11の基本的な比較回路を用いて構成された多数決回路の一例を示す。このタイプの多数決回路は、2つの n ビットデジタル入力のどちらがより大きな強度を有するか、すなわち、どちらがより多い数の“1”値を有するかを決定するのに有用である。この例では、多数決回路は、4ビット比較器である。左および右評価枝の重み付けされたアレイの各トランジスタは、実質的に等しい幅を有する。これは、左および右アレイの4個のトランジスタの各々と関連する2⁰ 重み付けで示される。左評価枝の重み付けされたアレイトランジスタには、4つのビット a 、 b 、 c および d の形のデジタル入力が入力されるが、右評価枝の重み付けされたアレイトランジスタには、4つのビット w 、 x 、 y および z の形のデジタル入力が入力される。 $abcd$ 入力、 $wxyz$ 入力より多い“1”値を含む場合は、左枝抵抗 R_1 は、右枝抵抗 R_2 より小さくなり、比較既出力信号 out および out は、評価に基づいてそれぞれ“1”および“0”になる。

【0080】図には示されていないが、前に説明したように“タイ”の場合に予測可能な出力を発生させるために、本発明による図19の回路または他の多数決回路に、1つ以上のオフセットトランジスタを含めることができる。

【0081】アナログコモンモード比較器

図20は、図11の基本的な比較回路を使用して構成されたアナログコモンモード比較器の一例を示す。図20の回路は、図19の回路と同様に等しい重み付けで構成された重み付けされたアレイを有する左および右評価枝を含む。左評価枝には、バランスされたアナログ入力ペア a 、 a および b 、 b が入力され、右評価枝には、バランスされたアナログ入力ペア c 、 c および d 、 d が入力される。コモンモード比較器出力 out および out は、アナログ入力信号 c および d に対するアナログ入力信号 a および b のコモンモード間の差を表わすデジタル信号を提供する。

22

【0082】以上/以下回路

図21は、図11の基本的な比較回路の2つの組み合わせを用いて構成した以上/以下回路の一例を示す。このような回路は、比較動作による境界をおくのが望ましいアプリケーションに有用である。より詳細には、以上/以下回路において、上限および下限の両方を提供することができる。図21の回路は、特定の4ビットデジタル入力信号 in が、4ビット下限 in_1 および4ビット上限 in_2 間の値を有するかどうかを判定する比較を実行する。信号 in は、図11の比較回路のうちの第1の比較回路の右枝と、図11の比較回路のうちの第2の比較回路の左枝に印加される。下限 in_1 は、紺も例では1000バイナリの値を有し、第2の比較かいろの右評価枝に印加される。上限 in_2 は、この例では1100バイナリの値を有し、第1の比較回路の左評価枝に印加される。

【0083】この図は、上限および下限に対する入力 in の関係に依存して発生する out_1 および out_2 信号の特定の値を示す評を含む。表の“ ≤ 1000 ”および“ ≥ 1100 ”記載事項から、この回路は、限界と等しいことを示すようには構成されていないこと、すなわち、限界は除外されていることが分かる。これは、“1”への両比較器の右評価枝のオフセット値の割り当ておよび“0”への両比較器の左評価枝のオフセット値の割り当てによる。限界は、オフセット値を反転することにより含めることができる。

【0084】3つ以上の入力用の比較器

上記に説明した例の比較器は、2つの非相補信号を同時に比較するように構成されている。好適には、この比較器は、2つの入力信号の相対重みの早くて効率的な決定を許す。また、図11の比較器は、2つ以上の入力を同時に処理する広い範囲の様々な非相補比較回路を実行するのに使用することができる。このような回路の例は、図22乃至24に関して以下に説明される。

【0085】アレイ加算および比較回路

図22は、図11の基本的な比較回路の変形を用いて構成されたアレイ加算および比較回路の一例を示す。この回路は、可変抵抗 R_1 および R_2 に対応する左評価枝のペアと、可変抵抗 R_3 に対応する1つの右評価枝とを含む。この回路は、2つの入力による加算動作を行ない、次いでその結果を第3の入力と比較する。より詳細には、各々が左評価枝のうちの1つに印加される2つの n ビット入力 in_1 および in_2 の合成された影響が、右評価枝に印加された第3の入力 in_3 と直接比較される。

【0086】可変抵抗 R_1 、 R_2 および R_3 は各々、前に説明されたように重み付けされたアレイを用いて実行することができ、それぞれ入力 in_1 、 in_2 および in_3 の関数となる。入力 in_1 および in_2 は、それぞれ R_1 および R_2 に対応する重み

付けされたアレイによりアナログ要素に変換される。これらのアナログ要素は、ノードlbotで互いに加算され、アレイR₃による入力in₃の変換によってノードrbotで発生するアナログ要素と比較される。この比較結果は、ノードoutおよびoutnから与えられる。図22の回路の入力および出力は、完全にデジタルである。入力in₁、in₂およびin₃のアナログ要素への変換は、DTA変換の1タイプであり、アナログ結果のデジタル携帯への再変換は、ATD変換の1タイプである。これらは共に、図11に関して前に説明されている。図11の回路と同様に、図22の回路は、9ビットデジタル入力に対して1nsecの下でその合体されたDTAおよびATD動作を行なうことができる。

【0087】図23は、2つの5ビット入力in₁およびin₂を加算し、次いでその結果を6ビット入力in₃と比較するための重み付けされたアレイを説明する。図22の回路のより特殊な例を示す。重み付けされたアレイは、各々が、2⁰から2⁴または2⁵までデジタル的に重み付けされた幅を有する5個もしくは6個のトランジスタと、2⁻¹で示される幅を有する追加のトランジスタとを用いて、前に説明されたように構成される。2つの左評価枝のうちの第1の左評価枝における重み付けされたアレイの追加のトランジスタM_aは、図示のようにグラウンドに接続されたゲートを有する。2つの左評価枝のうちの第2の左評価枝における重み付けされたアレイのオフセットトランジスタは、offset₁₊₂で示されるオフセット信号をそのゲートに印加した。右評価枝における重み付けされたアレイのオフセットトランジスタは、offset₃で示されるオフセット信号をそのゲートに印加した。2つのオフセットトランジスタのうちの一方はイネーブルにされるが、他方はディセーブルされ、それにより、前に説明されたのと同じように、同等の結果の場合の予測可能な出力が保証される。

【0088】図に示されるように、2つの5ビット入力in₁およびin₂は、それぞれ11010および01111であり、6ビット入力in₃は101001であると仮定されたい。バイナリ加算により、2つの5ビット入力の和は、101001となり、これは、可変抵抗R₃と関連する重み付けされたアレイに印加される入力in₃と等しい。2つのサイドの同値は、2⁰ = 1μmと仮定して、各サイドのイネーブルにされたトランジスタの合計幅を加算することにより明らかである。可変抵抗R₁およびR₂と関連する重み付けされたアレイにおいて、トランジスタの合計幅は、R₁

およびR₂間の合計41μmに対して、それぞれ26μmおよび15μmになる。可変抵抗R₃と関連する重み付けされたアレイにおいて、合計幅は、41μmとなり、R₁およびR₂を合わせた合計と同じであ

る。

【0089】最も左の重み付けされたアレイにおける追加のトランジスタM_aは、両ノードlbotおよびrbotの寄生ドレン容量は実質的に同一になることを保証する。あるケースでは、対応する評価枝が、RAMセルと同等と思われるのを保証することが重要である。この追加のトランジスタは、図23においてグラウンドに接続されたゲートを有するものとして示されているが、他の実施例では、追加の信号情報、たとえばキャリア入力を回路に持ち込むのに使用することができる。図22および23の回路は、RAMセルの一方のサイドの2以上の数字を加算して、その結果にセルの他方のサイドの2以上の数字と比較するように拡張することができる。

【0090】図24Aは、このような回路の一例を示し、ここでは、3つの入力in₁、in₂およびin₃は、3つの左評価枝に印加され、これらの3つの入力の加算結果は、2つの右評価枝に印加される2つの入力in₄およびin₅の加算結果と比較される。評価枝と関連しているのは、各々が前に説明されたようにトランジスタの重み付けされたアレイとして実行できる、対応する可変抵抗R₁、R₂、R₃、R₄およびR₅である。オフセット信号offset₁₊₂₊₃およびoffset₄₊₅は、図示のようにRAMセルの両サイドの最も内側の枝に印加される。

【0091】図24Bは、各々が、図22に関して説明されたものと同様に構成されたアレイ加算および比較回路の配置を使用して実行される加算回路を示す。図24Bの加算回路は、図示のように配置された9つのアレイ加算および比較回路を含み、2つの8ビット入力を加算して、9ビットの結果を発生するように動作する。9つのアレイ加算および比較回路は各々、RAMセルと、1つの重み付けされたアレイを有する左入力枝と、2つの重み付けされたアレイを有する右入力枝とを含み、図22に関して説明されたものと同じように動作する。左入力枝アレイは各々、9ビット入力を受け取る。各右入力枝の2つのアレイは、8ビット入力のペアを受け取る。より詳細には、各右入力枝の2つのアレイは、加算されるべき2つの8ビット信号in₁およびin₂のうちの1つを入力として受け取る。また、各右入力枝におけるアレイの1つは、オフセット信号および信号のキャリアも受け取る。

【0092】図24Bの加算回路は、図17に関して前に説明されたものと同様なNツリー対Nツリーパイプライン化構造を用いて実行される。さらに、この加算回路は、図25に関して以下に説明されるタイプのバイナリサーチ方法を使用するが、図25のような有限状態マシン(FSM)よりむしろ追加のセルを含む。

【0093】図24Bのバイナリサーチ処理は、その9ビット左枝入力として基準入力100000000を受

け取るアレイ加算および比較回路で始まる。これは、第1のアレイ加算および比較回路と呼ばれる。次いで、 i_{n1} および i_{n2} の和は、この基準入力と比較される。この比較が、我が基準入力より小さいことを示している場合は、出力 o_{18} はローになる。バッファ120は、この出力ライン上に配置される。バッファは、残りの比較のための最上位ビットの大きなファンアウトを駆動するのに使用される。図示されていないが、同様のバッファを o_{17} 乃至 o_{10} ノードに配置することができる。

【0094】 o_{18} 出力が決定されると、図において“a”で示されるように、その結果は、図示のように最上位ビット位置にある残りのアレイ加算および比較回路に印加される。第1のアレイ加算および比較回路は、クロック ck_1 および ck_2 を使用し、第2のアレイ加算および比較回路は、クロック ck_3 および ck_4 を使用し、以下同様である。このパイプライン化構造に組み込まれた追加の遅延、たとえば ck_1-2 および ck_3-4 は、バッファ120の遅延を説明するために、 ck_1-2 および ck_2-3 の代わりに、それぞれ第1および第2のアレイ加算および比較回路のために使用される。より高い数字名 k を有する各クロックは、 ck_1 の対応するクロックエッジに対して $k-1$ 遅延インクリメント Δ だけ遅延されたクロックエッジを有する。したがって、 ck_3 および ck_4 の間、次の比較は、この時 i_{n1} および i_{n2} の和を9ビット値 $a10000000$ と比較する第2のアレイ加算および比較回路で評価される。ここで、上述の“a”は、出力 o_{18} として第1のアレイ加算および比較回路で決定される。 o_{17} 出力は、第2の比較から決定され、図において“b”で示される。この結果は、図示のように第2の最上位ビット位置にある残りのアレイ加算および比較回路に印加される。

【0095】同様に、第3のアレイ加算および比較回路は、 i_{n1} および i_{n2} の和を9ビット値 $ab1000000$ と比較する。出力 o_{16} に対応する結果は、図において“c”で示され、残りの9ビットワードの次の最上位ビット位置に置かれる。この処理は、各比較に対して、最後の比較が評価されるまで、“d”，“e”，... “h”で示される結果を形成するように継続する。この和は、9ビットワード“abcdefgh o_{10} ”で与えられる。前に述べたように、この技術は、Nツリー対Nツリーパイプライン化構造のタイプを使用し、前の段からのいくつかの結果は、上記に説明されたように複数の後段に送られる。

【0096】シリアル加算-バイナリサーチ(SA-BS)回路

図25は、図11の基本的な比較器の変形を用いて構成されたシリアル加算-バイナリサーチ(SA-BS)回路の一例を示す。この回路は、RAMセルと、2つの左

評価枝と、1つの右評価枝とを含む。2つの左評価枝は、それぞれ n ビット入力 i_{n1} および i_{n2} を受け取る可変抵抗 R_1 および R_2 からなる。可変抵抗 R_1 および R_2 は各々、前に説明されたように n 以上のトランジスタの重み付けされたアレイとして実行される。右評価枝は、トランジスタの重み付けされたアレイとして実行されるように図において示されている可変抵抗からなる。この重み付けされたアレイは、その入力として、有限状態マシン(FSM)130で発生する知られている基準値 $a_{n-0} = a_n, a_{n-1}, \dots, a_0$ を受け取る。図25の回路は、 n ビット入力 i_{n1} および i_{n2} の和を計算するように構成される。

【0097】この例のFSM130は、図示のようにレジスタ132で基準値 $a_{n-0} = 100 \dots 00$ を初めに発生する。これは、バイナリサーチ処理の第1ステップである。次いで、回路の左サイドの2つの重み付けされたアレイを用いて実行される通り、この基準値と入力 i_{n1} および i_{n2} の和の比較が行われる。回路出力 out_n は、この比較結果を示すデジタル信号であり、図に示されるようにFSMの入力に帰還される。FSMは、この信号を用いて、バイナリサーチ処理において次に半分に区分けされるべきなのは上部範囲か下部範囲かを決定する。この決定が、上部範囲を区分けするように行われた場合は、処理の次のステップの基準ワードは、 $110 \dots 00$ になる。決定が下部範囲を区分けするように行われた場合は、処理の次のステップの基準ワードは、 $010 \dots 00$ になる。したがって、バイナリサーチ処理は、MSB内の初めの“1”を1ビット位置だけ右にシフトし、次の基準値のMSBを、加算結果が初期基準ワードより大きい場合は“1”と置き換え、または加算結果が初期基準ワードより小さい場合は“0”と置き換える。また、MSBは、キャリーアウトビットとして役立つ。バイナリサーチ処理は、入力 i_{n1} および i_{n2} の加算結果が基準ワードおよび何らかのキャリーアウトビットで示されるまで継続する。

【0098】図26は、上記に説明されたシリアル加算-バイナリサーチ動作を行うための1組のC言語プログラミング符号を示す。図25の回路を用いた加算動作を終了するクロックサイクルの時間は、 n 、すなわち、入力 i_{n1} および i_{n2} と基準ワード a_{n-0} の各々におけるビット数である。

【0099】図25は、その入力としてオフセット信号を受け取る追加のトランジスタをその左サイドに含む。この例では、オフセットは V_{dd} に設定される。このようにオフセットを設定すると、回路の左サイドは、入力 i_{n1} および i_{n2} の加算結果がすなわち“タイ”の場合に基準値と実質的に同じになる場合における比較で常に“勝つ”ことが確実になる。

【0100】上述のタイの場合の図25回路の動作の一

例は以下の通りである。バイナリサーチの最初のステップにおける入力 i_{n1} および i_{n2} の加算結果が、初期基準値にも相当するちょうど100...00であると仮定されたい。前に説明されたオフセットは、回路の左サイドがこの最初の比較に勝つことを保証する。そして、基準値は110...00になり、その結果、回路の右サイドは次の比較に勝つ。次いで、基準値は101...00になり、回路の右サイドは、残りのすべての比較時に勝ち続ける。最後の比較において、基準値は100...01となる。したがって、右サイドは、基準値が、2つの左サイドアレイを用いて実行された状態の2つの入力の加算と同じである100...00のまま勝つ。

【0101】図27は、各々が第1の入力信号Aの8ビットと第2の入力信号Bの8ビットを受け取る4つのより小さい8ビットSA-BS回路の直列相互接続で形成される32ビット知りある加算-バイナリサーチ(SA-BS)回路の一例を示す。最上部の8ビットSA-BS回路において、オフセット入力 V_{dd} に設定され、そのキャリーアウトビットは、次のSA-BS回路にそのオフセット入力として直列に送られる。同様に、第2のSA-BS回路からのキャリーアウト-16は、そのオフセット入力として第3のSA-BS回路に送られ、第3のSA-BS回路からのキャリーアウト-24は、そのオフセット入力として第4のSA-BS回路に送られる。第4のSA-BS回路からのキャリーアウト-32は、32ビット加算器のキャリーアウトビットとなる。

【0102】キャリーアウト-8は、評価に1クロック遅延を費やすので、第2のSA-BS回路は、この結果のためにさらなるクロック遅延を待たなければならない。同様に、第3および第4のSA-BS回路は各々、それぞれのキャリーアウト-16およびキャリーアウト-24入力のためにさらなるクロック遅延を待たなければならない。その結果、32ビット加算は、11クロック遅延の合計時に終了する。キャリーアウトビットは、典型的にキャリーアウトビットの決定前に最下位加算を計算する従来のデジタル加算器と違って、決定される最初のビットである。

【0103】アナログ加算回路

図28は、図25のSA-BS回路のアナログ変形を示す。このアナログ加算回路は、回路の左評価サイドの第1および第2の5ビット重み付けされたアレイと、回路の右評価サイドの1つの6ビット重み付けされたアレイとを含む。アレイは、左サイドアレイのための重み付け 2^0 乃至 2^4 と、右サイドアレイのための重み付け 2^0 乃至 2^5 とにしたがったサイズの幅を有する n チャンネルトランジスタからなる。回路の各サイドと関連しているのは、一定電流を供給する対応する電流源Iである。オフセットおよびキャリーアウトデバイスは示

されていないが、実質的に図25の回路のように構成することができる。アナログ加算回路は、結合された第1および第2の左サイド5ビットアレイを横切る電圧降下を、デジタルサーチャー142により有限状態マシン(FSM)140の制御の下に発生する所定の基準値のために右サイドアレイを横切る電圧降下と比較する。FSMの入力は、回路の出力outで駆動される。決定は、図25の回路に関して説明されたのと同じように行なわれる。しかしながら、アナログ加算回路において、一定電流が引き続いて流れるので、決定は、基準値の更新時を除いて絶えず行なわれる。他の実施例では、電力を節約するために、切換式電流源を用いることができる。

【0104】加算-比較-選択(ACS)回路

図29は、本発明による非相補比較器を用いてより効率的に実行することができる従来の加算-比較-選択(ACS)回路の構造を示す。図29の例におけるACS動作は、異なる2組の入力により行なわれ、最も大きい組の和は、後続の処理ブロックに送られる。このような動作は、ビタビ符号化、最大見込み符号化等の通信信号処理アプリケーションにおいて基本的なものである。図29は、第1および第2の加算器150-1および150-2と、減算器152と、マルチプレクサ154を含む。入力 i_{n1} および i_{n2} は、第1の加算器150-1で加算され、入力 i_{n3} および i_{n4} は、第2の加算器150-2で加算される。2つの加算の結果は、減算器152でそれらを減算することにより比較され、減算の結果は、マルチプレクサ154に選択入力として印加されて、加算結果のうちの1つを選択する。この従来方法は、回路面積および電力消費に関して役に立たない。

【0105】図30は、図11の基本的な非相補比較器の変形を用いて実行されるACS回路を示す。このACS回路は、RAMセルと、各々が2つの並列か辺抵抗を有する左サイドおよび右サイド評価枝と、マルチプレクサ160とを含む。回路の左サイドは、それぞれ n ビット入力 i_{n1} および i_{n2} を受け取る可変抵抗 R_1 および R_2 を含む。回路の右サイドは、それぞれ n ビット入力 i_{n3} および i_{n4} を受け取る可変抵抗 R_3 および R_4 を含む。可変抵抗は各々、前に説明されたように、重み付けされたアレイを用いて実行される。左サイド可変抵抗 R_2 は、オフセット入力として信号offset₁₊₂を受け取り、右サイド可変抵抗 R_3 は、オフセット入力として信号offset₃₊₄を受け取る。また、入力 i_{n1} , i_{n2} , i_{n3} および i_{n4} は、マルチプレクサ160に入力として印加され、回路の出力は、マルチプレクサ160に選択信号として印加される。

【0106】動作時、入力の両ペア i_{n1} , i_{n2} および i_{n3} , i_{n4} は、共に同時に加算され、一

方のペアの加算結果は、他方のペアの加算結果と比較される。比較結果は、マルチプレクサの出力に通過させるためのペアのうちの特定のペアを選択するのに用いられる出力信号outとなる。図30の回路は、マルチプレクサで選択されて通過させられる2つの入力の和を計算しないことに注目されたい。その代わりとして、選択信号は、 in_1 および in_2 、または in_3 、および in_4 の両方を通過させるのに使用される。これは、多くのアプリケーションにおいては、図31に関してより詳細に説明されるように、図30に示されるタイプの複数のACS回路からなる層状構成の終わりで一度だけ加算を行なうのに適しているためである。

【0107】図31は、8つの異なる入力ペアを比較するように構成された上述の層状構成の一例を示す。第1の層170-1は4つのACS回路からなり、第2の層170-2は2つのACS回路からなり、そして第3の層170-3は1つのACS回路からなる。加算器172は、第3の層170-3の1つのACS回路で選択された特定の入力ペアにおける2つの入力の和を計算するために含まれる。この構成では、8つの入力ペアは全て、実際の加算動作を行なうことなく比較される。より詳細には、一層からの勝利ペアは、最後の勝利ペアが確認されるまで後続の層において互いに比較され、次いで、加算が、最後の勝利ペアの入力についてのみ行なわれる。図30の回路が基礎をおく非相補比較器は、この特に効率的なACS構成を考慮に入れている。

【0108】図32は、一例のACS回路のために本発明に帰因する性能改善を示すシミュレーション結果の図表を示す。マイクロワット(μW)の電力必要条件、トランジスタ数およびピコ秒の遅延が、従来の図29 ACS回路および(図において“シーソー”で示される)本発明の図30 ACS回路に関して比較される。

【0109】このシミュレーションは、1.5Vの電源Vddと200MHzの動作周波数を伴う0.16 μm CMOS技術を用いて行なわれた。遅延は、105°Cの周囲温度で測定され、電力は0°Cおよび高いVddで測定された。図29の従来のACS回路は、加算器および減算器エレメントのリップルキャリーデザインを用いるように仮定された。図32の表から分かるように、図30のACS回路は、選択動作のための電力およびトランジスタ数の少ないコスト増加で、従来の図29のACS回路に対して、加算および比較動作に必要なとされる電力($\times 20$ ゲインファクタ)、トランジスタ数($\times 9.5$ ゲインファクタ)および遅延($\times 2.17$ ゲインファクタ)に関するかなりの節約になった。

【0110】結合メモリアル比較器

図33および34は、本発明による結合メモリアル比較器の例を示す。これらの比較器は、図11の基本的な比較器のことなる組み合わせを用いて形成される。

【0111】図33は、図示のように並列に接続された

図11の比較器のペアを含む。この回路は、構成されたように、入力 in_2 および in_3 の和を入力 in_1 および in_4 の和と比較する。図33の上部線は、オープンにすることができ、この場合、回路は、 in_1 を $in_2 + in_3$ と比較し、次いで、 $in_2 + in_3$ と in_4 の第2の比較を行なう。

【0112】図34は、図33と同様に構成されているが、図示のように第1および第2の図11比較器に接続された第3の図11比較器を含む。この実施例において、 R_2 および R_3 で示される入力枝は各々、ここで前に説明されるタイプの複数の重み付けされたアレイを含むことができる。図34の回路は、入力 in_2 および in_3 の和を、入力 in_1 および in_5 の和、および入力 in_4 および in_6 の和と比較する。

【0113】当業者は、他の結合メモリアル比較器を、図11に関して説明されたタイプの複数の相互接続された比較器を用いて発生させることができることが分かる。たとえば、上記に引用した米国特許第6,191,623号屋米特許出願第09/162,852号に開示されているような多入力比較器技術をここで説明されている比較器と共に用いて、3つ以上の入力を有する広い範囲の様々な異なる比較器を構成することができる。

【0114】マスク機能付き比較器

図35は、図11の基本的な比較器の変形を用いて構成された、マスク機能付き比較回路の一例を示す。この回路では、マスクビットは、左および右入力枝に関連する重み付けされたアレイに印加される。この例では、重み付けされたアレイは各々、32マスクビットと32入力ビットを受け取る。より詳細には、左サイドの重み付けされたアレイは、入力ビット0, 1, ..., 31の形で入力信号を受け取り、右サイドの重み付けされたアレイは、図示のように、サーチビット0, 1, ..., 31の形で入力信号を受け取る。マスクビットは、重み付けされたアレイの上部トランジスタのゲートに印加され、入力およびサーチビットは、それぞれ左および右アレイの下部トランジスタに印加される。左および右アレイのトランジスタは、図示のように、 2^{-1} 重み付けを有する左アレイのオフセットトランジスタを除いて、一定の 2^0 重み付けでデジタル的に重み付けされる。左アレイのオフセットトランジスタは、図に示されるようにVddに接続されたゲートを有する。

【0115】動作時、図35の回路は、入力ビットとサーチビットの比較を実行し、特定のビットは、印加されたマスクビットにしたがってマスクされる、すなわち、比較から除外される。

【0116】他の比較器構成

図36は、本発明による比較器の他の例を示す。この回路は、クロックされずかつ“積み重ねた”構成であり、ここでは、電流源Iは、各々が、図示のように配置され

た可変抵抗 R_1 および R_2 を有する左および右評価枝に印加される。入力 i_{n1} および i_{n2} は、それぞれ、左および右枝の両方における可変抵抗 R_1 および R_2 に印加される。次いで、その結果生じる出力信号 out および $outn$ は、図示のように、差動アンプ180に印加される。可変抵抗は、前に説明されたように重み付けされたアレイを用いて実行することができる。各枝における上部抵抗のためのアレイは、 n チャンネルトランジスタを用いて形成されると、この例の回路に関して仮定される。各枝における上部抵抗のためのアレイが代わりに p チャンネルトランジスタを用いて形成されている場合は、入力は反転されるべきである。

【0117】ここで説明された本発明の特定の実施例は、単なる例示的なもののつもりである。たとえば、前に述べたように、異なるデバイスタイプやトランジスタ技術を他の実施例で使用することができる。さらに、ここで説明された基本的な比較器は、他の構成で実行ことができ、また、ここで特に説明されたもの以外の高水準回路アプリケーションで使用する事ができる。他にあり得る他の構成は、評価エレメントが、入力枝と関連する可変パラメータをサンプリングするサンプリング回路の形になっており、その結果、サンプルが、印加された入力の関係に関してそれから情報を抽出するように後で処理される、回路である。

【0118】また、本発明の比較回路は、追加の回路構成要素または他の処理もしくはメモリエレメントを含むかまたは含まない集積回路の形で実行することができる。また、上記により詳細に説明されたように、本発明は、実施例に関して説明された可変抵抗以外の可変パラメータ、たとえば可変電流または可変電圧で動作することができる。さらに、本発明は、非相補入力信号ばかりでなく相補入力信号にも適用可能である。請求項の範囲内のこれらおよび多くの他の実施例は、当業者に容易に明らかになる。

【図面の簡単な説明】

【図1】コモンモード電圧に基づくアナログ相補電圧を示す図である。

【図2】2Aおよび2Bは、従来のアナログ差動アンプを示す。

【図3】3Aおよび3Bは、従来のアナログセンスアンプを示す。

【図4】4Aおよび4Bは、従来のデジタルセンスアンプを示す。

【図5】5A、5Bおよび5Cは、従来の相補構造の、従来のスタティックCMOSゲートへの改良を示す。

【図6】6A、6Bおよび6Cは、従来のORゲートの、従来の疑似NMOSおよびドミノゲート構造への改良を示す。

【図7】7A、7Bおよび7Cは、従来のロジックゲートの相補性を示す。

【図8】アンプ出力が評価後評価枝から分離される、本発明によるアナログセンスアンプを示す。

【図9】図8のアナログセンスアンプのタイミング図である。

【図10A】RAMセルが本発明にしたがってアンプ出力から分離される、アナログセンスアンプを示す。

【図10B】RAMセルが本発明にしたがってアンプ出力から分離される、アナログセンスアンプを示す。

【図10C】RAMセルが本発明にしたがってアンプ出力から分離される、アナログセンスアンプを示す。

【図10D】RAMセルが本発明にしたがってアンプ出力から分離される、アナログセンスアンプを示す。

【図11】本発明による2入力非相補比較器の一実施例を示す。

【図12】図11の非相補比較器のタイミング図である。

【図13】図11の非相補比較器の簡略図である。

【図14】図11の比較器の評価枝を実行するために重み付けされたアレイを使用できる方法を示す図である。

【図15】図14の重み付けされたアレイのうちの所定の1つをにオフセットを加えることができる方法を示す図である。

【図16】本発明による比較器における重み付けされたアレイの区分けおよびバイアライン化を示す図である。

【図17】本発明によるNツリー対Nツリーバイアライン化構造を有する比較器を示す。

【図18】本発明によるNツリー対Pツリーバイアライン化構造を有する比較器を示す。

【図19】本発明による多数決回路を示す。

【図20】本発明によるアナログコモンモード比較器を示す。

【図21】本発明による以上/以下回路を示す。

【図22】本発明によるアレイ加算および比較回路を示す。

【図23】重み付けされたアレイが図22の比較器の実施例で使用される方法を示す図である。

【図24A】本発明による他のアレイ加算および比較回路を示す。

【図24B】アレイ加算および比較回路の配置を使用するのを実行される加算回路を示す。

【図25】本発明によるシリアル加算-バイナリサーチ(SA-BS)回路を示す。

【図26】図25の回路のSA-BS動作のC言語符号例を示す。

【図27】本発明による32ビット加算回路を示す。

【図28】本発明によるアナログ加算回路を示す。

【図29】従来の加算-比較-選択(ACS)回路を示す。

【図30】本発明による非相補比較器を用いて実行されたACS回路を示す。

33

34

【図31】図30に示されるタイプのACS回路から形成されたACS構成を示す。

【図32】図29の従来のACS回路に対する図30のACS回路の利点を示すシミュレーション結果の図表である。

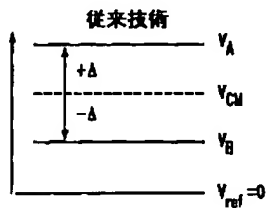
【図33】本発明による結合メモリセル比較器を示す。

【図34】本発明による結合メモリセル比較器を示す。

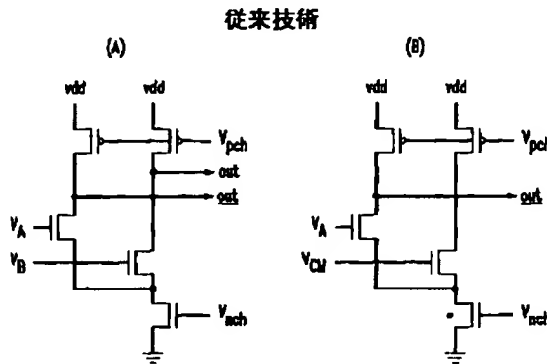
【図35】本発明によるマスク機能を有する比較回路を示す。

【図36】本発明による非相補比較器の積み重ね実行を示す図である。

【図1】

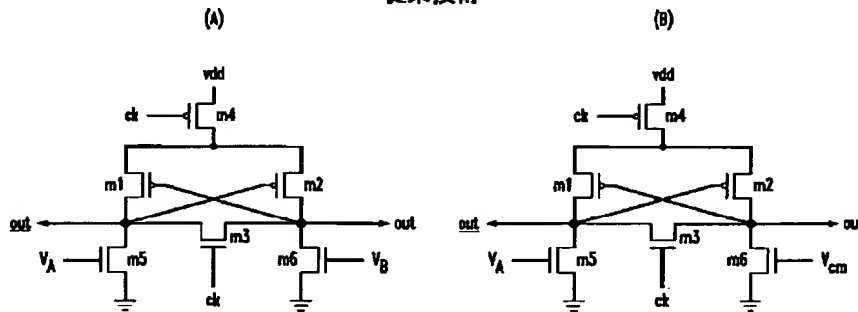


【図2】



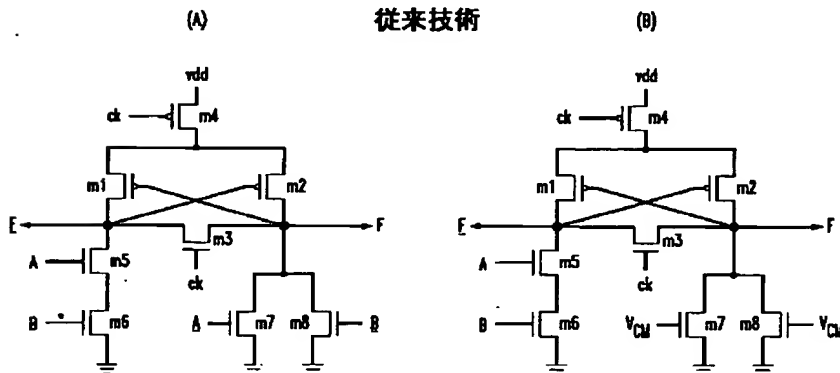
【図3】

従来技術



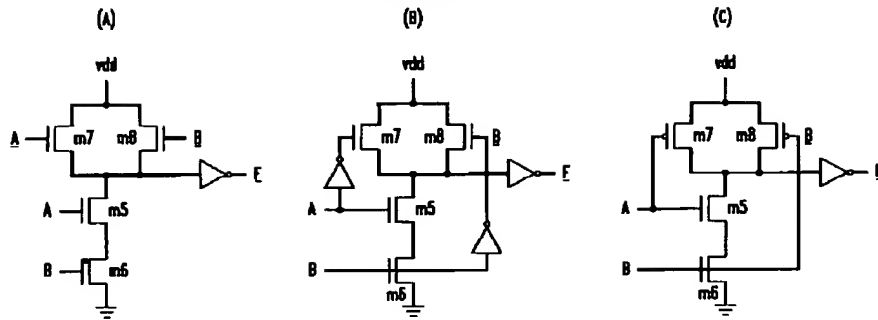
【図4】

従来技術



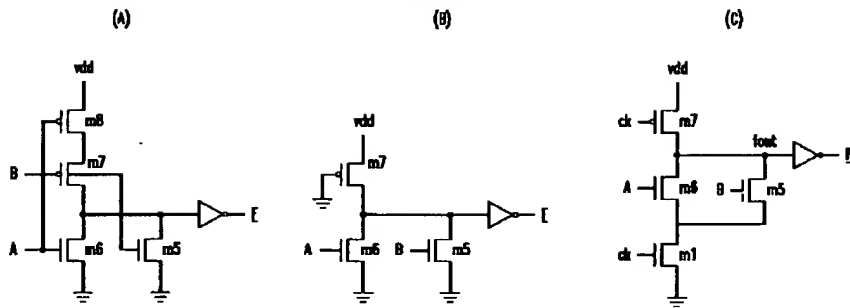
【図5】

従来技術



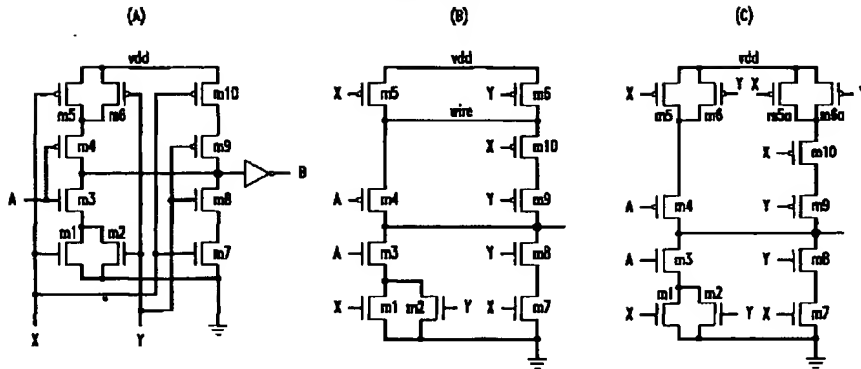
【図6】

従来技術

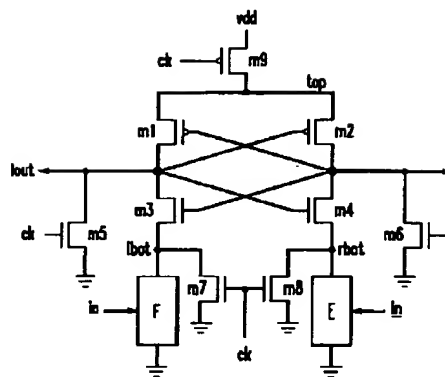


【図7】

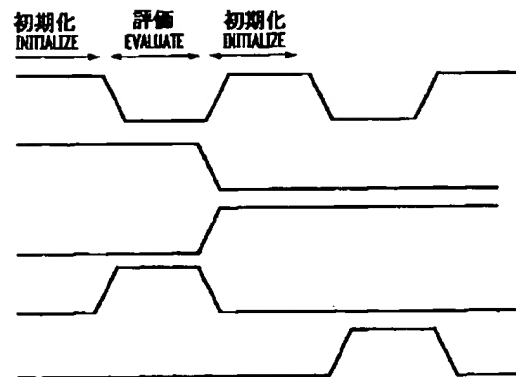
従来技術



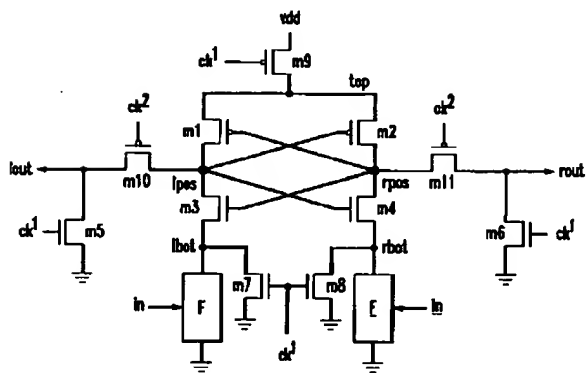
【図8】



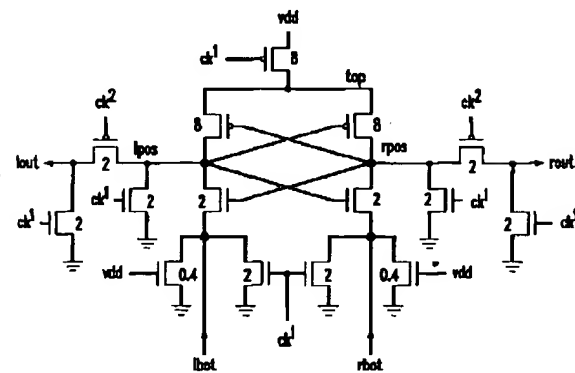
【図9】



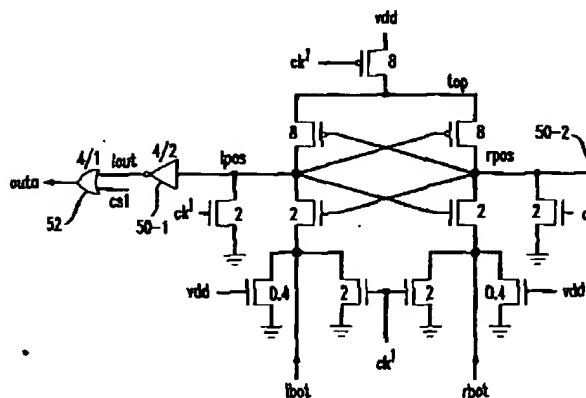
【図10A】



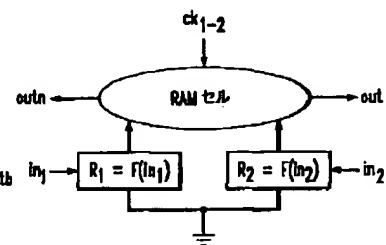
【図10B】



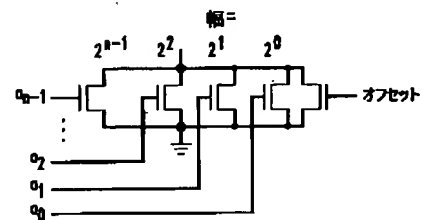
【図10C】



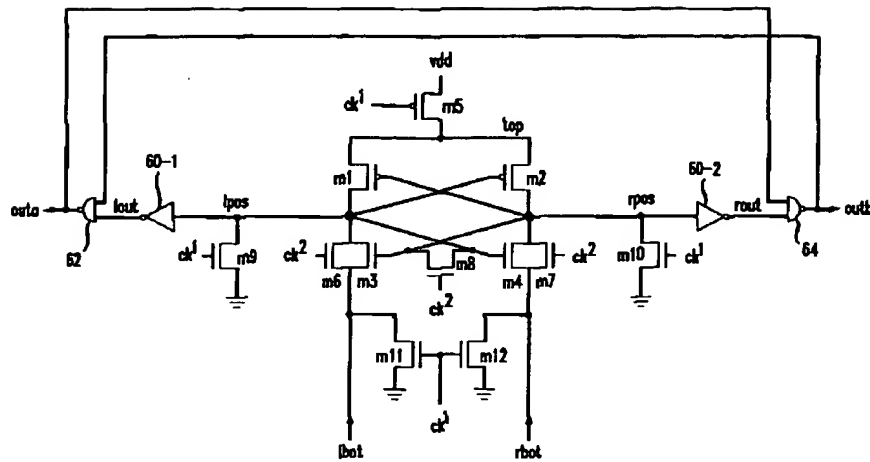
【図13】



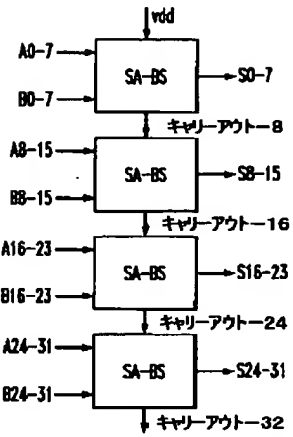
【図15】



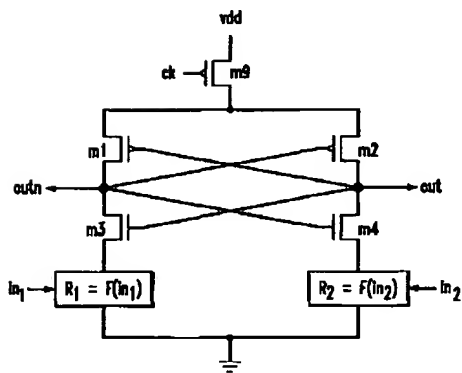
【図10D】



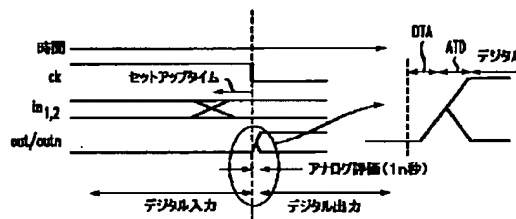
【図27】



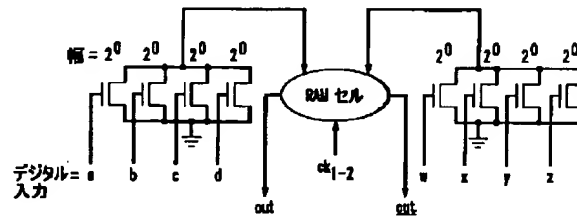
【図11】



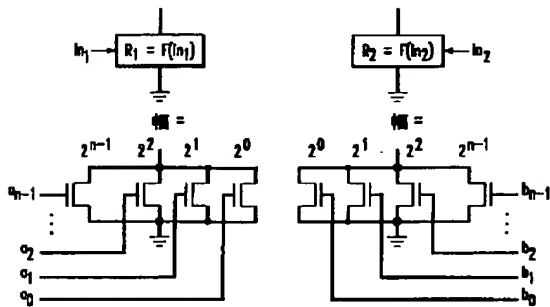
【図12】



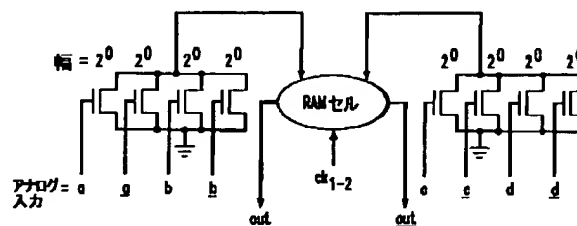
【図19】



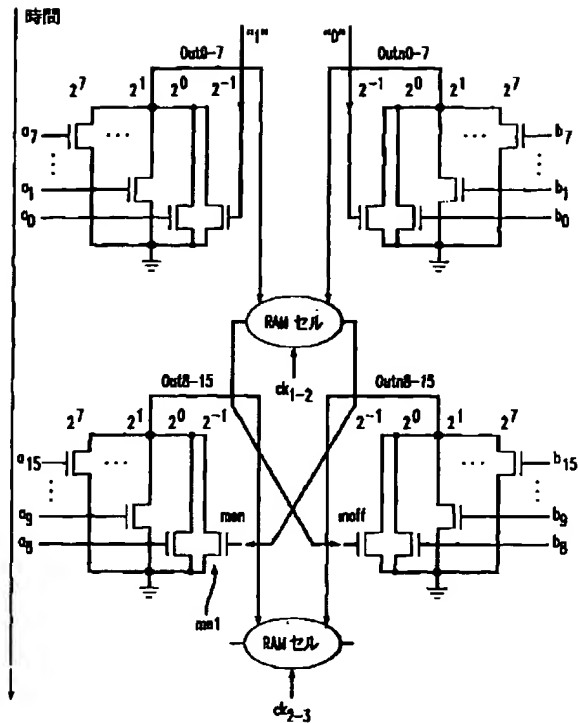
【図14】



【図20】



【図16】



【図26】

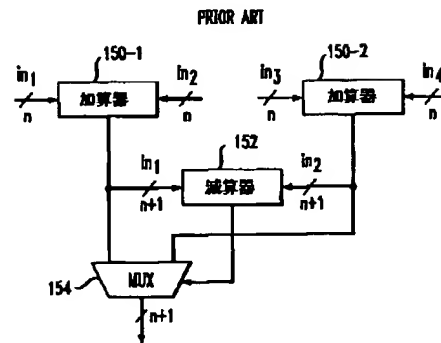
```

/* 初期化 */
n=8;
a[n] = 1;
for (k=1; k<n; k++)
  a[k]=0;

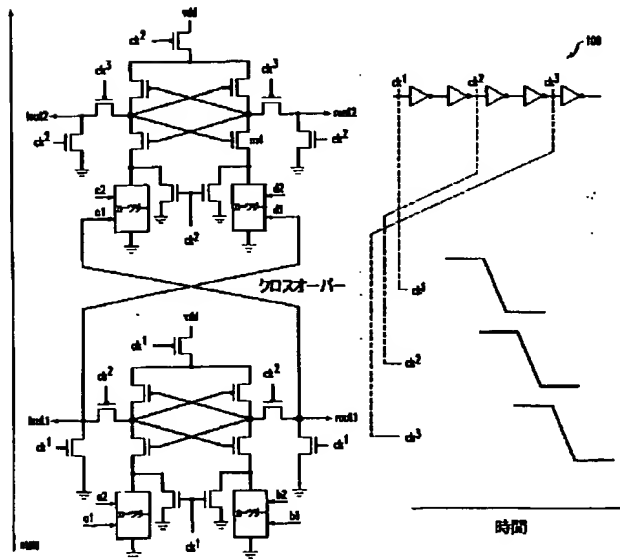
for (i=0; i<n; i++) /* クロック
                    テイップ */
  if (out == 0)
    a[n+1] = 1;
  else {
    a[n-1] = 0;
    if (i < n-1)
      a[n+1] = 1;
  }
/* 追加結果はアレイa[n]における。*/

```

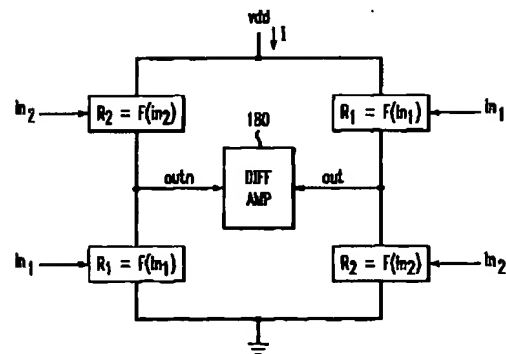
【図29】



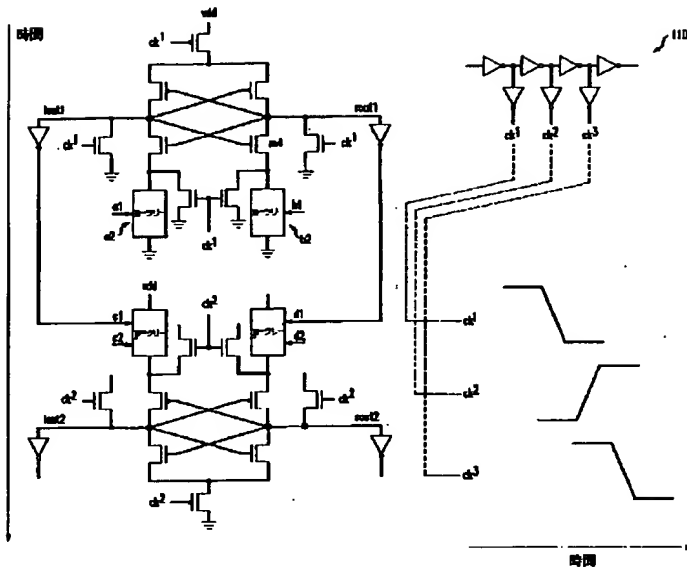
【図17】



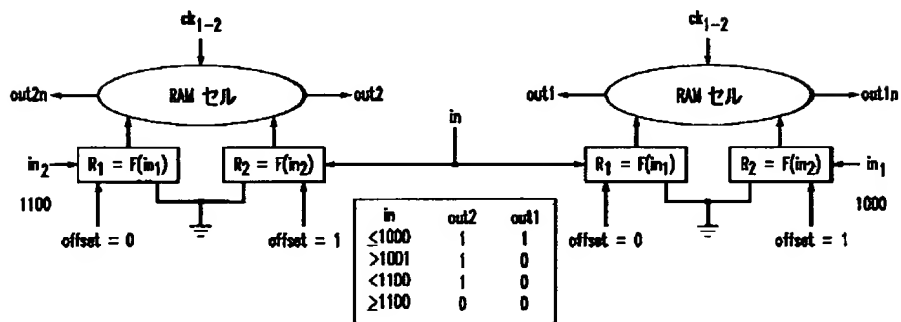
【図36】



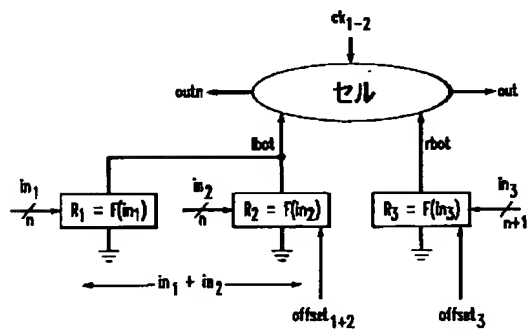
【図18】



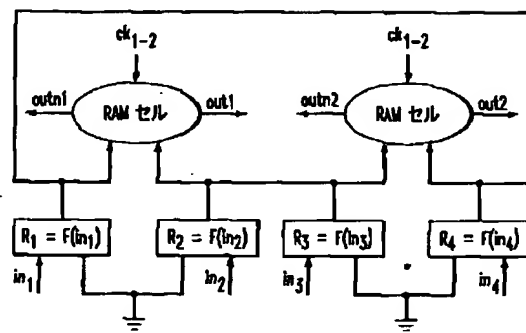
【図21】



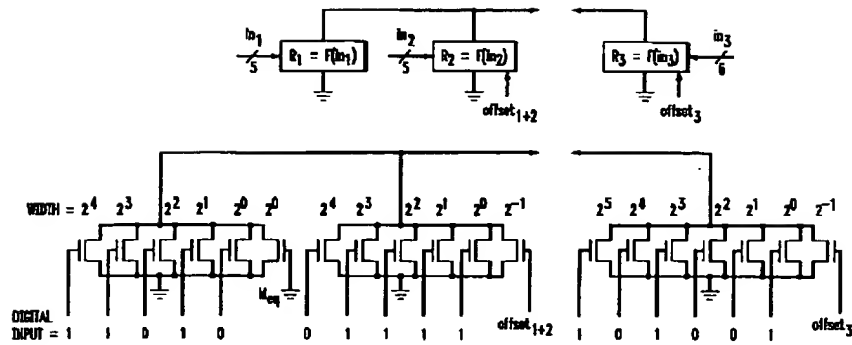
【図22】



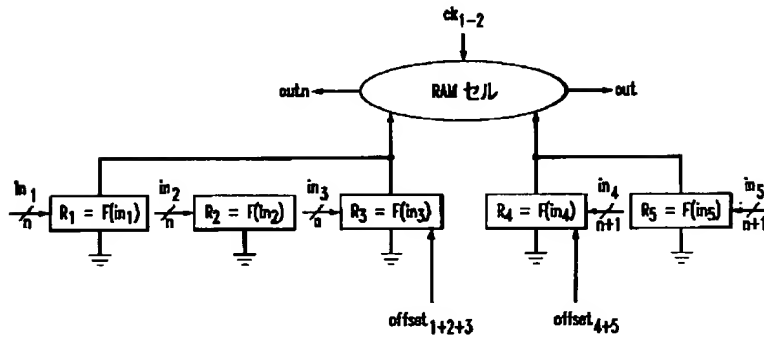
【図33】



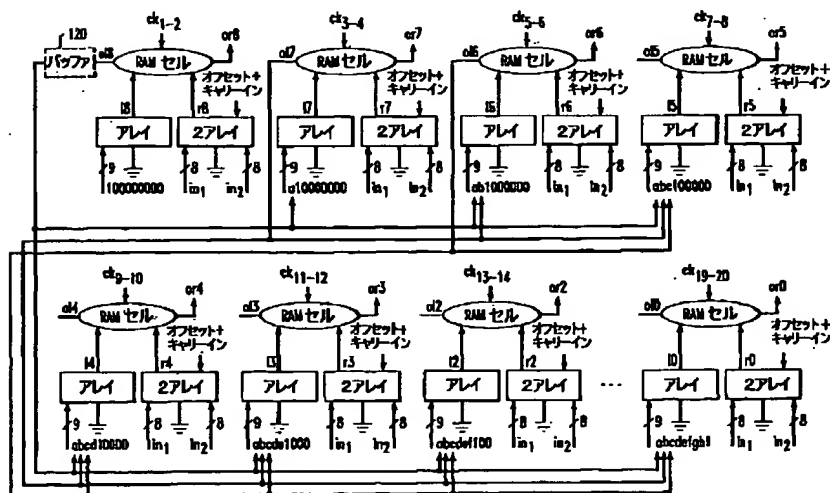
【図23】



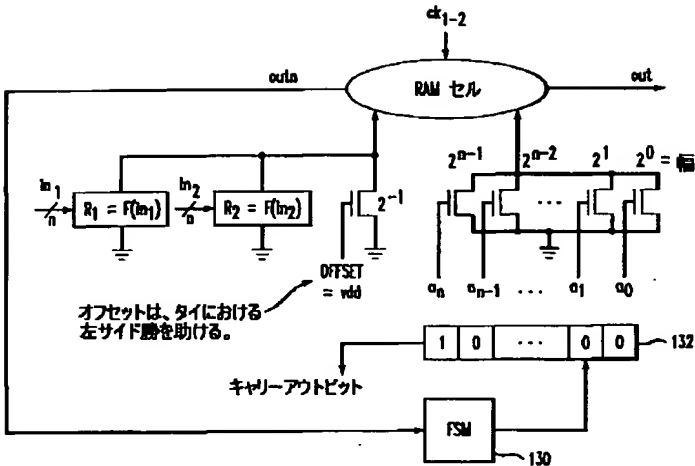
【図24A】



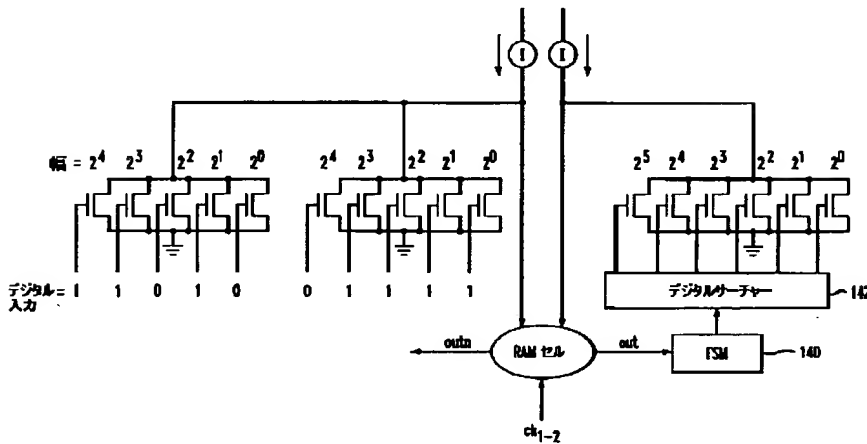
【図24B】



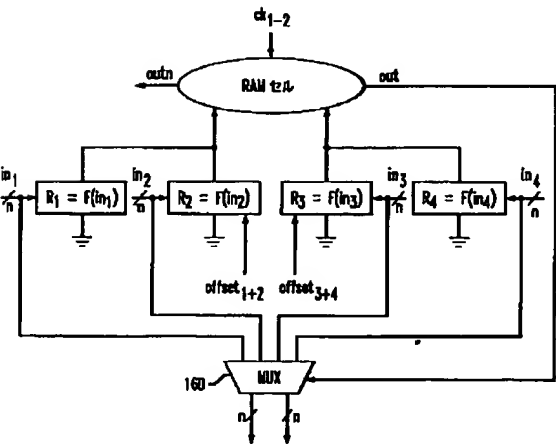
【図25】



【図28】



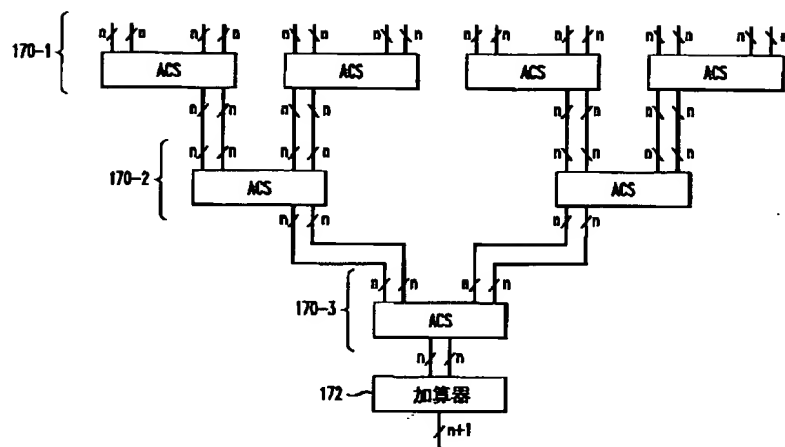
【図30】



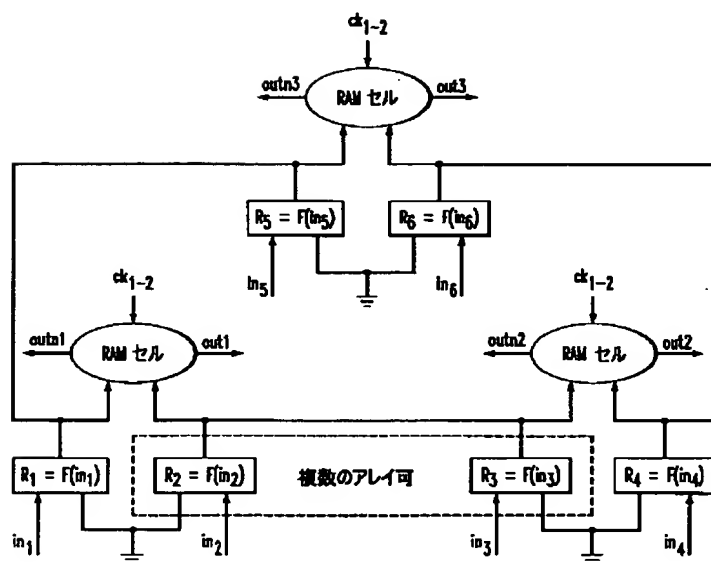
【図32】

	電力 (μW)		トランジスタ数		遅延 (pSEC)	
	加算比較	選択	加算比較	選択	加算比較	選択
従来	2000	200	5215	58	1120	200
シーソー	100	300	55	108	516	173
ゲインファクタ	X20	X0.68	X95	X0.54	X2.17	X1.15

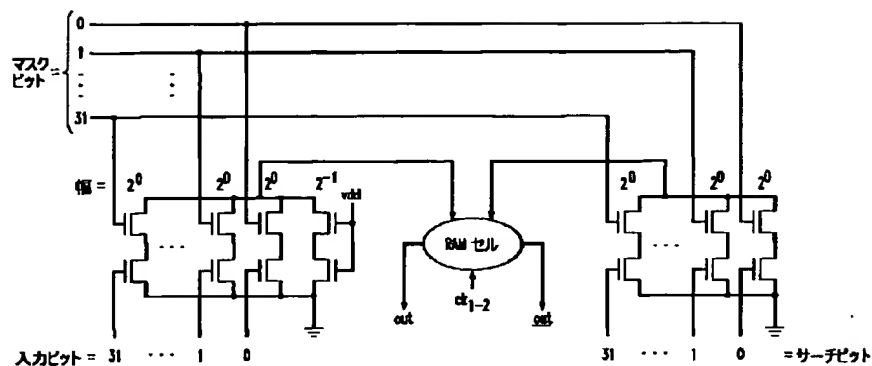
【図31】



【図34】



【図35】



フロントページの続き

Fターム(参考) 5J039 DA08 DB05 DC00 KK00 KK18
MM03 MM04 NN00